

PATENT COOPERATION TREATY

EO/US
PCT/JP99/06371

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing:

25 May 2001 (25.05.01)

International application No.:

PCT/JP99/06371

Applicant's or agent's file reference:

319902183971

International filing date:

16 November 1999 (16.11.99)

Priority date:

Applicant:

ITO, Masayuki et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

16 November 1999 (16.11.99)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer:

J. Zahra

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 319902183971	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/06371	International filing date (day/month/year) 16 November 1999 (16.11.99)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC G06F 12/02, 12/08		
Applicant HITACHI, LTD		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>5</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 16 November 1999 (16.11.99)	Date of completion of this report 15 May 2000 (15.05.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/06371

I. Basis of the report

1. With regard to the **elements** of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
 pages 1-31, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☒ the claims:
 pages 2,3,6-8,10-11, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages 1,4,5,9, filed with the letter of 28 April 2000 (28.04.2000)
- ☒ the drawings:
 pages 1-10, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/06371

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-11	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-11	NO
Industrial applicability (IA)	Claims	1-11	YES
	Claims		NO

2. Citations and explanations

The subject matters of claims 1-11 do not appear to involve an inventive step in view of document 1 [US, 5715476, A (Intel Corp.), 3 February, 1998 (03.02.98), column 5, line 18 to column 6, line 53, column 8, lines 10-15, Figs. 1, 2, 3A, 3B and 3C], document 2 [US, 5394528, A (Mitsubishi Electric Corp.), 28 February, 1995 (28.02.95), column 3, line 35 to column 4, line 36, column 4, line 64 to column 6, line 16, Figs. 6, 8 and 9] and document 3 [JP, 62-72041, A (NEC Corp.), 2 April, 1987 (02.04.87)] respectively cited in the ISR. Document 1 (column 5, line 18 to column 6, line 53, column 8, lines 9-14, Figs. 1, 2, 3A, 3B and 3C) teaches a technique, in which in a synchronous DRAM allowing a burst mode, used in a cache fill for example, (1) a linear increment sequence is possible as the increment sequence of the burst mode, and (2) any one of a plurality of burst lengths that can be set is set and the information of the burst length is stored in a memory controller. Document 2 (column 3, line 35 to column 4, line 36, column 4, line 64 to column 6, line 16, Figs. 6, 8 and 9) teaches a technique, in which when burst transfer is performed twice for a cache fill, (1) wrap-around control is performed with the address causing a cache mis-hit as the origin in the first burst transfer, (2) the second burst transfer is performed with the head address of data with a burst length as the origin, and (3) the burst-transferred plurality of data are controlled to be stored respectively at the locations destined for storing in a cache memory. Document 3 teaches a well-known technique, in which in the case where a cache fill is divided for a plural number of data transfers, (1) the data transferred from a main memory are directly stored in a cache memory, and (2) cache access is allowed based on a subsequent access request without waiting for the completion of a cache fill. It is considered to be easy for a person skilled in the art, to apply the technique of wrap-around control in a burst mode and a cache fill taught by document 2 and the well-known technique of a cache fill taught by document 3 to the technique of a burst mode of a synchronous DRAM and a cache memory taught by document 1.

6T

特 許 協 力 条 約

P C T

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D -5 JUN 2000

WIPO

PCT

出願人又は代理人 の書類記号 319902183971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 99/06371	国際出願日 (日.月.年) 16.11.99	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl. ⁷ G 06 F 12/02 G 06 F 12/08		
出願人 (氏名又は名称) 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 5 ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
 - II ☐ 優先権
 - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - IV ☐ 発明の単一性の欠如
 - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - VI ☐ ある種の引用文献
 - VII ☐ 国際出願の不備
 - VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 16.11.99	国際予備審査報告を作成した日 15.05.00		
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 清木 泰	5 N	9 6 4 3
電話番号 03-3581-1101		内線 3585	

様式PCT/IPEA/409 (表紙) (1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-31 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2, 3, 6-8, 10-11 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 4, 5, 9 項、 28.04.00 付の書簡と共に提出されたもの

☒ 図面 第 1-10 図、 出願時に提出されたもの
 図面 第 _____ 図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ 図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲 1-11

有

請求の範囲

無

進歩性(IS)

請求の範囲

有

請求の範囲 1-11

無

産業上の利用可能性(IA)

請求の範囲 1-11

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

請求の範囲1-11は、国際調査報告で引用された文献1(US, 5715476, A(Intel Corporation), 3. 2月. 1998(03. 02. 98), 第5欄第18行目-第6欄第53行目, 第8欄第10行目-第15行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図)と、国際調査報告で引用された文献2(US, 5394528, A(Mitsubishi Denki Kabushiki Kaisha), 28. 2月. 1995(28. 02. 95), 第3欄第35行目-第4欄第36行目, 第4欄第64行目-第6欄第16行目, 第6図, 第8図, 第9図)と、国際調査報告で引用された文献3(JP, 62-72041, A(日本電気株式会社), 2. 4月. 1987(02. 04. 87))とにより進歩性を有しない。文献1には、第5欄第18行目-第6欄第53行目, 第8欄第9行目-第14行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図に、キャッシュフィルなどに使用されるバーストモードが可能なシンクロナスDRAMにおいて、バーストモードのインクリメント・シーケンスとして線形インクリメント・シーケンスが可能であり、かつ、複数の設定可能なバースト長のいずれかを設定し、バースト長の情報をメモリコントローラに格納する技術が教示されている。文献2には、第3欄第35行目-第4欄第36行目, 第4欄第64行目-第6欄第16行目, 第6図, 第8図, 第9図に、キャッシュフィルのために2回のバースト転送を行う際に、1回目のバースト転送ではキャッシュミスヒットしたアドレスを基点にラップアラウンド制御を行い、2回目のバースト転送ではバースト長のデータの先頭アドレスを基点に転送し、かつ、バースト転送された複数のデータはキャッシュメモリにおいて格納されるべき位置にそれぞれ格納されるように制御される技術が教示されている。文献3には、キャッシュフィルを複数回のデータ転送に分けて行う場合に、メインメモリから転送されたデータを直接キャッシュメモリに格納し、キャッシュフィルの完了を待つことなく後続のアクセス要求によりキャッシュアクセスを可能にする周知技術が教示されている。文献1により教示されたシンクロナスDRAMのバーストモードとキャッシュメモリの技術に、文献2により教示されたバーストモードのラップアラウンド制御とキャッシュフィルの技術と、文献3により教示されたキャッシュフィルの周知技術を適用することは、当業者にとって容易である。

請 求 の 範 囲

- 1 (補正後) . キャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、及び前記キャッシュメモリのキャッシュミスヒットに
 5 応答してメモリアクセスが可能なメモリ制御部を有し、
- 5 前記メモリ制御部は、バースト動作可能なメモリをキャッシュミス
 ヒットに
 10 応答してアクセスするとき、前記メモリのバースト長を示す
 ための第 1 情報を形成し、前記第 1 情報に基いて前記キャッシュライ
 ン長に見合うデータ長を得るに必要な単数又は複数回のバースト動
 作を制御可能であり、
- 10 前記キャッシュ制御部は、前記単数又は複数回のバースト動作で得
 られたデータを前記第 1 情報に基づいて夫々のデータのアドレス順
 に配置するようにキャッシュメモリにキャッシュフィルする動作を
 制御可能であることを特徴とするデータ処理装置。
- 2 . 前記キャッシュ制御部は、前記キャッシュフィル動作において、キ
 15 ャッシュミスヒットに係るアドレス情報、前記第 1 情報、及び前記メ
 モリ制御部によるバースト動作で得られるデータの区切りに同期す
 る同期信号を入力し、前記第 1 情報が意味するバースト長の範囲で前
 記アドレス情報を基点とするキャッシュメモリへの書込み制御を行
 うために、前記同期信号に同期してキャッシュフィルのデータ順を決
 20 定するキャッシュフィルアドレスを生成するものであることを特徴
 とする請求の範囲第 1 項記載のデータ処理装置。
- 3 . 前記メモリ制御部は、キャッシュミスヒットに
 25 応答して複数回のバ
 ースト動作でメモリアクセスを行うとき、先頭のバースト動作ではキ
 ャッシュミスヒットに係るアドレスのデータ位置を基点にバースト
 動作を制御し、その後続のバースト動作では前記バースト長で規定さ
 れるデータブロックのバウンダリ先頭を基点にバースト動作を制御

するものであることを特徴とする請求の範囲第1項又は第2項記載のデータ処理装置。

4 (補正後) . CPU及びキャッシュメモリを有するデータ処理装置と、
前記データ処理装置に接続され、バースト動作可能であって前記キャッシュメモリに対し主メモリを構成するメモリとを有するデータ処理システムであって、

前記キャッシュメモリはLバイトのキャッシュライン長を有し、

前記メモリは、前記Lの2のn乗分の1 (nは自然数)バイトのバースト長の範囲でバースト動作が可能であり、

10 前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒットに応答して、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基いて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回前記メモリをバースト動作させ、これによって得られるLバイトのデータを前記第1情報に基づいて夫々のデータのアドレス順に配置するようにキャッシュメモリに返す制御を行なうものであることを特徴とするデータ処理システム。

5 (補正後) . CPU及びキャッシュメモリを有するデータ処理装置と、
前記データ処理装置に接続され、バースト動作可能であって前記キャッシュメモリに対し主メモリを構成する複数のメモリとを有するデータ処理システムであって、

前記キャッシュメモリはLバイトのキャッシュライン長を有し、

前記複数のメモリは、前記Lの2のn乗分の1 (nは自然数)バイトのバースト長の範囲でバースト動作が可能であり、前記バースト長は前記データ処理装置によってメモリ毎に設定可能にされ、

前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒ

- ットに応答してアクセスする対象を、キャッシュミスヒットに係るデータが配置されたメモリとし、前記キャッシュメモリのキャッシュライン長に対する前記アクセス対象メモリのバースト長を示すための第1情報を形成し、前記第1情報に基づいて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回前記メモリをバースト動作させ、これによって得られるLバイトのデータを前記第1情報に基づいて夫々のデータのアドレス順に配置するようにキャッシュメモリに返す制御を行なうものであることを特徴とするデータ処理システム。
- 5
- 10 6. 前記データ処理装置は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてキャッシュメモリにキャッシュフィルする制御を行うものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理システム。
- 15 7. 前記データ処理装置は、前記キャッシュフィル動作において、前記バースト動作で前記メモリから得られるデータの区切りに同期する同期信号を生成し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするキャッシュメモリへの書込み制御を行うために、前記同期信号に同期してキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理装置。
- 20
- 25 8. 前記データ処理装置は、キャッシュミスヒットに応答して複数回のバースト動作でメモリアccessを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御するものであることを特徴とする請求の範囲第4項又は第5項記載

のデータ処理装置。

- 9 (補正後) . CPU、前記CPUによってアクセス可能なキャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、前記キャッシュメモリのキャッシュミスヒットに応答してメモリアクセスが可能なメモリ制御部、及び前記メモリ制御部に接続されバースト動作可能なメモリを有し、

前記メモリ制御部は、前記メモリをキャッシュミスヒットに応答してアクセスするとき、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基づいて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回のバースト動作を制御可能であり、

前記キャッシュ制御部は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてラップアラウンドで夫々のデータのアドレス順に配置するようにキャッシュメモリにキャッシュフィルする動作を制御可能であることを特徴とするデータ処理システム。

10 . 前記キャッシュ制御部は、前記キャッシュフィル動作において、キャッシュミスヒットに係るアドレス情報、前記第1情報、及び前記メモリ制御部によるバースト動作で得られるデータの区切りに同期する同期信号を入力し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするラップアラウンド制御を行って、前記同期信号に同期しながらキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第9項記載のデータ処理システム。

11 . 前記メモリ制御部は、キャッシュミスヒットに応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作では

35/1

キャッシュミスヒットに係るアドレスのデータ位置を基点にラップ
アラウンドでバースト動作を制御し、その後続のバースト動作では前

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06371

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/02
G06F12/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/00-12/06
G06F12/08-12/12
G06F13/16-13/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y ✓	US, 5715476, A (Intel Corporation), 03 February, 1998 (03.02.98), Column 5, line 18 to Column 6, line 53; Column 8, lines 10 to 15; Figs. 1, 2, 3A, 3B, 3C & JP, 11-501751, A page 14, line 17 to page 17, line 9; page 19, lines 18 to 21; Figs. 1, 2, 3A, 3B, 3C	1-11
Y ✓	US, 5394528, A (Mitsubishi Denki Kabushiki Kaisha), 28 February, 1995 (28.02.95), Column 3, line 35 to Column 4, line 36; Column 4, line 64 to Column 6, line 16; Figs. 6, 8, 9 & JP, 5-128054, A Column 5, line 21 to Column 6, line 31; Column 7, line 4 to Column 8, line 32; Figs. 6, 8, 9	1-11
Y ✓	JP, 62-72041, A (NEC Corporation), 02 April, 1987 (02.04.87) (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
09 February, 2000 (09.02.00)

Date of mailing of the international search report
29 February, 2000 (29.02.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

EP



PCT

国際調査報告

(法 8 条、法施行規則第40、41条)
[PCT 18 条、PCT 規則43、44]

出願人又は代理人 の書類記号 319902183971	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP99/06371	国際出願日 (日.月.年) 16.11.99	優先日 (日.月.年)
出願人(氏名又は名称) 株式会社日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT 18 条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT 規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F12/02
G06F12/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F12/00-12/06
G06F12/08-12/12
G06F13/16-13/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, 5715476, A (Intel Corporation), 3. 2月, 1998 (03. 02. 98), 第5欄第18行目-第6欄第53行目, 第8欄第10行目-第15行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図 & JP, 11-501751, A, 第14頁第17行目-第17頁第9行目, 第19頁第18行目-第21行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09. 02. 00

国際調査報告の発送日

29.02.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 仁

5N

9643

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, 5 3 9 4 5 2 8, A (Mitsubishi Denki Kabushiki Kaisha), 28. 2月. 1995 (28. 02. 95) , 第3欄第35行目-第4欄第36行目, 第4欄第64行目-第6欄第16行目, 第6図, 第8図, 第9図 & JP, 5-128054, A, 第5欄第21行目-第6欄第31行目, 第7欄第4行目-第8欄第32行目, 第6図, 第8図, 第9図	1-11
Y	JP, 62-72041, A (日本電気株式会社) , 2. 4月. 1987 (02. 04. 87) (ファミリーなし)	1-11

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D -5 JUN 2000

WIPO

PCT

出願人又は代理人 の書類記号 319902183971	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/J P99/06371	国際出願日 (日.月.年) 16.11.99	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl ⁷ G06F12/02 G06F12/08		
出願人 (氏名又は名称) 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で <u>3</u> ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>5</u> ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 16.11.99	国際予備審査報告を作成した日 15.05.00	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 清水 泰 電話番号 03-3581-1101 内線 3585	5N 9643

様式PCT/IPEA/409 (表紙) (1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-31 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2, 3, 6-8, 10-11 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 4, 5, 9 項、 28.04.00 付の書簡と共に提出されたもの

☒ 図面 第 1-10 図、 出願時に提出されたもの
 図面 第 _____ 図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ 図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1-11	有
	請求の範囲		無
進歩性 (IS)	請求の範囲		有
	請求の範囲	1-11	無
産業上の利用可能性 (IA)	請求の範囲	1-11	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

請求の範囲1-11は、国際調査報告で引用された文献1 (US, 5715476, A (Intel Corporation), 3. 2月. 1998 (03. 02. 98), 第5欄第18行目-第6欄第53行目, 第8欄第10行目-第15行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図) と、国際調査報告で引用された文献2 (US, 5394528, A (Mitsubishi Denki Kabushiki Kaisha), 28. 2月. 1995 (28. 02. 95), 第3欄第35行目-第4欄第36行目, 第4欄第64行目-第6欄第16行目, 第6図, 第8図, 第9図) と、国際調査報告で引用された文献3 (JP, 62-72041, A (日本電気株式会社), 2. 4月. 1987 (02. 04. 87)) とにより進歩性を有しない。文献1には、第5欄第18行目-第6欄第53行目, 第8欄第9行目-第14行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図に、キャッシュフィルなどに使用されるバーストモードが可能なシンクロナスDRAMにおいて、バーストモードのインクリメント・シーケンスとして線形インクリメント・シーケンスが可能であり、かつ、複数の設定可能なバースト長のいずれかを設定し、バースト長の情報をメモリコントローラに格納する技術が教示されている。文献2には、第3欄第35行目-第4欄第36行目, 第4欄第64行目-第6欄第16行目, 第6図, 第8図, 第9図に、キャッシュフィルのために2回のバースト転送を行う際に、1回目のバースト転送ではキャッシュミスヒットしたアドレスを基点にラップアラウンド制御を行い、2回目のバースト転送ではバースト長のデータの先頭アドレスを基点に転送し、かつ、バースト転送された複数のデータはキャッシュメモリにおいて格納されるべき位置にそれぞれ格納されるように制御される技術が教示されている。文献3には、キャッシュフィルを複数回のデータ転送に分けて行う場合に、メインメモリから転送されたデータを直接キャッシュメモリに格納し、キャッシュフィルの完了を待つことなく後続のアクセス要求によりキャッシュアクセスを可能にする周知技術が教示されている。文献1により教示されたシンクロナスDRAMのバーストモードとキャッシュメモリの技術に、文献2により教示されたバーストモードのラップアラウンド制御とキャッシュフィルの技術と、文献3により教示されたキャッシュフィルの周知技術を適用することは、当業者にとって容易である。

請 求 の 範 囲

- 1 (補正後)．キャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、及び前記キャッシュメモリのキャッシュミスヒットに
5 応答してメモリアクセスが可能なメモリ制御部を有し、
- 5 前記メモリ制御部は、バースト動作可能なメモリをキャッシュミスヒットに
10 応答してアクセスするとき、前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基いて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回のバースト動作を制御可能であり、
- 10 前記キャッシュ制御部は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいて夫々のデータのアドレス順に配置するようにキャッシュメモリにキャッシュフィルする動作を
15 制御可能であることを特徴とするデータ処理装置。
- 2．前記キャッシュ制御部は、前記キャッシュフィル動作において、
15 キャッシュミスヒットに係るアドレス情報、前記第1情報、及び前記メモリ制御部によるバースト動作で得られるデータの区切りに同期する同期信号を入力し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするキャッシュメモリへの書込み制御を行うために、前記同期信号に同期してキャッシュフィルのデータ順を決
20 定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第1項記載のデータ処理装置。
- 3．前記メモリ制御部は、キャッシュミスヒットに
25 応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御

するものであることを特徴とする請求の範囲第1項又は第2項記載
のデータ処理装置。

4 (補正後). CPU及びキャッシュメモリを有するデータ処理装置と、
前記データ処理装置に接続され、バースト動作可能であって前記キャ
5 ッシュメモリに対し主メモリを構成するメモリとを有するデータ処
理システムであって、

前記キャッシュメモリはLバイトのキャッシュライン長を有し、
前記メモリは、前記Lの2のn乗分の1 (nは自然数)バイトのバ
ースト長の範囲でバースト動作が可能であり、

10 前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒ
ットに応答して、前記キャッシュメモリのキャッシュライン長に対す
る前記メモリのバースト長を示すための第1情報を形成し、前記第1
情報に基づいて前記キャッシュライン長に見合うデータ長を得るに必
要な単数又は複数回前記メモリをバースト動作させ、これによって得
15 られるLバイトのデータを前記第1情報に基づいて夫々のデータの
アドレス順に配置するようにキャッシュメモリに返す制御を行なう
ものであることを特徴とするデータ処理システム。

5 (補正後). CPU及びキャッシュメモリを有するデータ処理装置と、
前記データ処理装置に接続され、バースト動作可能であって前記キャ
20 ッシュメモリに対し主メモリを構成する複数のメモリとを有するデ
ータ処理システムであって、

前記キャッシュメモリはLバイトのキャッシュライン長を有し、
前記複数のメモリは、前記Lの2のn乗分の1 (nは自然数)バイ
トのバースト長の範囲でバースト動作が可能であり、前記バースト長
25 は前記データ処理装置によってメモリ毎に設定可能にされ、

前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒ

- ットに応答してアクセスする対象を、キャッシュミスヒットに係るデータが配置されたメモリとし、前記キャッシュメモリのキャッシュライン長に対する前記アクセス対象メモリのバースト長を示すための第1情報を形成し、前記第1情報に基いて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回前記メモリをバースト動作させ、これによって得られるLバイトのデータを前記第1情報に基づいて夫々のデータのアドレス順に配置するようにキャッシュメモリに返す制御を行なうものであることを特徴とするデータ処理システム。
- 5
6. 前記データ処理装置は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてキャッシュメモリにキャッシュフィルする制御を行うものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理システム。
- 10
7. 前記データ処理装置は、前記キャッシュフィル動作において、前記バースト動作で前記メモリから得られるデータの区切りに同期する同期信号を生成し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするキャッシュメモリへの書込み制御を行うために、前記同期信号に同期してキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理装置。
- 15
8. 前記データ処理装置は、キャッシュミスヒットにตอบสนองして複数回のバースト動作でメモリアksesを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御するものであることを特徴とする請求の範囲第4項又は第5項記載
- 20
- 25

のデータ処理装置。

- 9 (補正後) . CPU、前記CPUによってアクセス可能なキャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、前記キャッシュメモリのキャッシュミスヒットに応答してメモリアクセスが可能なメモリ制御部、及び前記メモリ制御部に接続されバースト動作可能なメモリを有し、

- 前記メモリ制御部は、前記メモリをキャッシュミスヒットに応答してアクセスするとき、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基いて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回のバースト動作を制御可能であり、

- 前記キャッシュ制御部は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてラップアラウンドで夫々のデータのアドレス順に配置するようにキャッシュメモリにキャッシュフィルする動作を制御可能であることを特徴とするデータ処理システム。

- 10 . 前記キャッシュ制御部は、前記キャッシュフィル動作において、キャッシュミスヒットに係るアドレス情報、前記第1情報、及び前記メモリ制御部によるバースト動作で得られるデータの区切りに同期する同期信号を入力し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするラップアラウンド制御を行って、前記同期信号に同期しながらキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第9項記載のデータ処理システム。

- 25 11 . 前記メモリ制御部は、キャッシュミスヒットに応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作では

35/1

キャッシュミスヒットに係るアドレスのデータ位置を基点にラップ
アラウンドでバースト動作を制御し、その後続のバースト動作では前

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年5月25日 (25.05.2001)

PCT

(10) 国際公開番号
WO 01/37098 A1(51) 国際特許分類⁷: G06F 12/02, 12/08

(21) 国際出願番号: PCT/JP99/06371

(22) 国際出願日: 1999年11月16日 (16.11.1999)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 伊藤雅之 (ITO,

Masayuki) [JP/JP]. 吉田 裕 (YOSHIDA, Yutaka) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP).

(74) 代理人: 玉村静世 (TAMAMURA, Shizuyo); 〒271-0092 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba (JP).

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

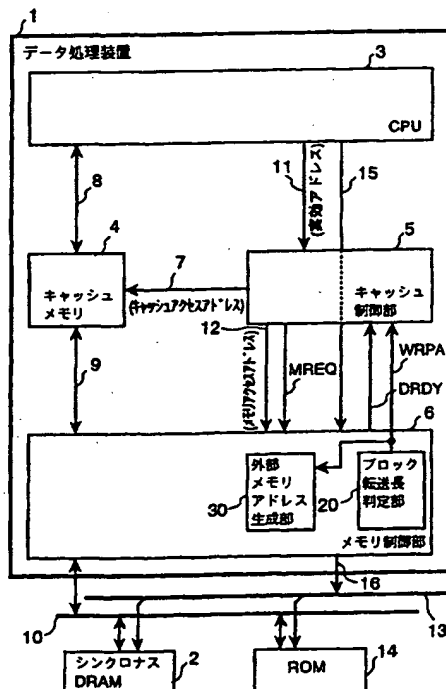
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: DATA PROCESSING DEVICE AND DATA PROCESSING SYSTEM

(54) 発明の名称: データ処理装置及びデータ処理システム



11...EFFECTIVE ADDRESS
12...MEMORY ACCESS ADDRESS
30...EXTERNAL MEMORY ADDRESS CREATING SECTION
20...BLOCK TRANSFER LENGTH JUDGING SECTION
1...DATA PROCESSOR
4...CACHE MEMORY
7...CACHE ACCESS ADDRESS
5...CACHING CONTROL UNIT
6...MEMORY CONTROL UNIT
2...SYNCHRONOUS DRAM

(57) Abstract: A caching control section (5) stores data obtained from a memory (2) by one or more burst operations wraparoundly in the form of a cache file in a cache memory (4) according to first information (WRPA) representing the burst length of the memory (2) capable of performing a burst operation for cache line length. The data outputted from the memory (2) is not required to be re-aligned by an aligner and the boundary first part of the data block to be subjected to a burst operation is not required to be fixed to an access start address. Therefore, even if the burst length of the memory (2) used is shorter than the cache line length, the waiting time of the CPU (3) taken to obtain data involved by a caching failure is reduced.

[続葉有]

WO 01/37098 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

キャッシュ制御部(5)は、キャッシュライン長に対するバースト可能なメモリ(2)のバースト長を示す第1情報(WRPA)に基づいて、メモリ(2)から単数又は複数回のバースト動作で得られたデータを、ラップアラウンドでキャッシュメモリ(4)にキャッシュファイルする。メモリ(2)から出力されるデータをアライナで並び変えなくてもよく、また、バースト動作対象とされるデータブロックのバウンダリ先頭をアクセス開始アドレスに固定する制約をうけないから、キャッシュライン長より短いバースト長のメモリ(2)を用いる場合にも、キャッシュミスに係るデータを獲得するまでのCPU(3)の待ち時間を短縮できる。

明 細 書

データ処理装置及びデータ処理システム

5 技術分野

本発明は、キャッシュメモリを持つマイクロプロセッサやDSP（デジタル信号処理プロセッサ）等のデータ処理装置、更にはそのようなデータ処理装置と共にバースト動作可能なメモリを有するデータ処理システムに関する。

10

背景技術

15

マイクロプロセッサ等のデータ処理装置を用いたデータ処理システムにおいて、高速のデータアクセス若しくは高いデータ転送性能を得る上で、使用するメモリとしてはシンクロナスDRAM（ダイナミック・ランダム・アクセス・メモリ）に代表されるバースト動作（バースト転送とも称する）をサポートしたメモリが好適とされる。すなわち、その種のメモリによると、メモリ内の内部アドレスカウンタのような回路を含む動作制御系によって、連続データを高速に読み出したり、高速に書き込んだりできることとなり、処理システムの高速、高性能化をすすめることが容易になる。

20

25

前記シンクロナスDRAMは、モードレジスタを持ち、かかるモードレジスタによってその動作モードが指定される。シンクロナスDRAMのためのバースト転送長ないしはブロック転送長とも称するバースト長情報を含むモード情報は、例えば処理システムのパワーオンリセット後に実行されるシステム初期化設定プログラムのような設定プログラムに従ってモードレジスタに設定される。バースト長情報のような情報

の設定のためには、バースト動作とは異なる設定期間を要する。すなわち、モードレジスタにモード情報を設定するには比較的時間がかかる。このため、パワーオンリセットに伴って一旦設定されたようなバースト長情報は後から変更しないのが一般的となる。

- 5 ここで、バースト動作においては、前記バースト長を大きく設定すれば、大量のデータを転送する場合には一度のシンクロナスD R A Mへのアクセスで転送できるデータ量が多くなり、高いデータ転送性能を得ることができる。しかしながら、設定したバースト長よりも少量のデータを転送すればよい場合には、設定されたバースト長でブロック転送を行なうために、無駄なデータ転送サイクルが増大し、データ転送性能が低下してしまう。

- 10 シンクロナスD R A Mに代表されるバースト転送をサポートしたメモリにおいては、バースト転送の際に、バースト転送のバウンダリ間の任意のアドレスのデータから転送を開始することのできるラップアラウンド機能がサポートされる。バウンダリ間のロケーションアドレスは、15 アクセスするデータの先頭ロケーションが外部から指示され、その後続のロケーションアドレスはメモリ内部のカラムアドレスカウンタのような内部カウンタで生成される。S D R A Mは、例えばアクセス単位が4バイトでバースト長が16バイトとされる。それにおいて、バイト単位20 のカラムアドレスがカラムアドレスカウンタにプリセットされ、このプリセットアドレスを基点に、その最下位から4ビット目までが順次3回カウンタ動作され、それによって連続的なアクセス動作が行われる。例えば、バースト動作のバウンダリ間の4バイト単位のデータロケーションをN+00番地（以下@00のように記す）、@04、@08、@25 12とすると、バースト動作によりアクセスするデータの先頭ロケーションを@08とすれば、@08、@12、@00、@04の順にラッ

ブアラウンドして、データアクセスが行われる。

このラップアラウンド機能を活用することで、CPUが要求したデータをバースト転送の最初に外部メモリから取得することができる。これによって、例えば、キャッシュミスヒットの際、CPUがデータ待ちをするサイクル数を小さくすることができる。

5 シンクロナスDRAMに代表されるバーストアクセスをサポートしたメモリは、既に述べたようなバースト長に応じた特徴をもたらす。そこで、その種のメモリとしては、バースト長を大きく設定したい要求と、小さく設定したい要求の双方に適合できることが望ましい。そこで、本
10 発明者等は、異なるバースト長でラップアラウンドを行なうメモリ、例えば、バースト長が32バイトのシンクロナスDRAMとバースト長が16バイトのシンクロナスDRAMとを併存させて利用する制御方式の有効性について検討した。

 本発明者等は、検討によって以下事項を明らかにした。すなわち、バ
15 ースト長が16バイトのシンクロナスDRAMを16バイトのカラムアドレスロケーションの中の8バイト目を基点にラップアラウンドでバースト動作させた場合と、バースト長が32バイトのシンクロナスDRAMを32バイトのカラムアドレスロケーションの中の8バイト目を基点にラップアラウンドでバースト動作させた場合とでは、シンクロ
20 ナスDRAMからラップアラウンド動作にて返されるデータ順が、異なってくる。そこで、シンクロナスDRAMを制御するメモリ制御回路は、バースト長の相違によるデータ配置の不整合を認識し、或いはそれを解消するための手法をとるように構成される必要が生ずる。

 そのための手法として例えば以下の2つを挙げることができる。

25 第1手法は、ブロック転送長が16バイトのメモリから返される16バイト2組みのデータを、バースト長が32バイトのラップアラウンド

動作のデータ順と同じデータ順に統一するものである。この場合、メモリ制御回路とともに、バッファメモリ、及びデータ並べ替えのためのアライナが設定される。メモリ制御回路は、例えばバースト読み出し動作においては、16バイトでラップアラウンドしたデータ2組を32バイトのラップアラウンド動作で得られるデータ順に一致させるよう、メモリから出力されたデータを一旦バッファメモリにバッファリングさせ、その後で、アライナを用いてデータの並べ替えを行ってから、データを出力させるように制御動作を行う。この第1の手法による場合には、データの並べ替えを行う為のデータバッファリングに余計な待ち時間を費やすことになる。

第2の手法は、メモリアクセス開始アドレスに16バイトバウンダリ固定の制約を設け、データの返り順の不一致を発生させないようにするものである。これにより、16バイトのバースト長でバースト動作を2回行ったときのデータ順はバースト長32バイトで1回バースト動作を行ったときのデータ順に一致される。

しかしながら、本発明者等は、上記何れの手法もデータ処理性能の低下を伴うことに注目した。以下、これを説明する。

ここで、マイクロプロセッサはCPU、キャッシュメモリ、及び外部シンクロナスDRAMを含む外部メモリをアクセスするメモリ制御回路を含むものとされる。今、キャッシュメモリのキャッシュライン長が32バイトとされ、CPUによるメモリの $N+08$ 番地(N は32の倍数)からのアクセス開始に対してキャッシュミスヒットとなり、それに応じて外部メモリアクセス行なわれ、キャッシュラインに対するキャッシュフィルが行われ、その後、CPUが続けて、 $N+12$, $N+16$, $N+20$, $N+24$, $N+28$ と連続したアドレスのデータを要求する場合を考える。なお、このような連続したアドレスへのアクセスは、命令

アクセスの場合や連続した領域に配置されたデータの処理等で頻繁に発生するごく自然な例であると考えて良い。以下、 $N+08$ 番地のデータを@08, $N+12$ 番地のデータを@12のように表記する。

この条件において、前記第1の手法では、16バイトのブロック転送長によるバースト動作でメモリから得られるデータ順は、例えば@08, @12, @00, @04, @24, @28, @16, @20とされる。これを32バイトのバースト長によるバースト動作の場合と同じデータ順に並べ替えてキャッシュメモリへ返すためにはいくつかのペナルティサイクルが発生し、バス性能若しくはCPUのデータ処理性能を低下させてしまう。すなわち、そのデータ順の場合、32バイトのバースト動作に対応されるデータ順は、@08, @12, @16, @20, @24, @28, @00, @04の順となる。データをその順に替えてキャッシュメモリに返すには、32バイトのバースト動作に対応される第3番目に返す必要のあるデータ@16は16バイトのバースト動作ではメモリから第7番目にしか到着せず、少なくとも4サイクルのペナルティサイクルが発生することになる。

第2の手法では、CPUが最初に必要とするデータが@08であるときに対応する、外部メモリからのデータ順、キャッシュへのデータ順は、ともに、@00, @04, @08, @12, @16, @20, @24, @28となる。すなわち、CPUが最初に要求するデータ@08は第3番目のデータとなる。これに応じてCPUは、それが必要とする先頭のデータ到着を少なくとも2サイクル待つことになる。このように、第2の手法においてもCPU性能の低下を引き起こす。

尚、MICROPROCESSOR REPORT VOLUME 1 0, NUMBRE 2 FEBRUARY 12、1996の第9頁及び Table 2. には、32ビットマイクロプロセッサにおいて、キャッ

シユメモリのミスワードを先頭とするようにキャッシュフィルの順番を制御する記載がある。しかし、これには、シンクロナスDRAMのバースト長とキャッシュフィルのデータ順との関係についての着眼はない。

5 本発明の目的は、キャッシュメモリのキャッシュライン長より短いサイズでバースト動作可能であってラップアラウンド機能を有するメモリを用いるときでもキャッシュミスに係るデータを獲得するまでのCPUの待ち時間を短縮でき、データ処理性能の向上に寄与できるデータ処理装置、更にはデータ処理システムを提供することにある。

10 本発明の別の目的は、ラップアラウンド機能を有し相互にバースト長の異なるメモリを複数個接続して利用しても、メモリアクセスにおけるペナルティーサイクルが少なく、バス性能およびCPU性能を向上させることができるデータ処理装置、更にはデータ処理システムを提供することにある。

15 本発明のその他の目的は、ラップアラウンド機能を有しバースト動作可能なメモリの多様な接続構成若しくは利用形態に対応することが可能なデータ処理装置を提供することにある。

 本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

20

発明の開示

〔1〕データ処理装置は、CPU、前記CPUによってアクセス可能なキャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、及び前記キャッシュメモリのキャッシュミスヒットに応答してメモリアクセスが可能なメモリ制御部を有する。前記メモリ制御部は、バースト動作可能なメモリをキャッシュミスヒットに応答してアクセスする

25

とき、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基いて前記キャッシュライン長に見合うデータ長を得るのに必要な単数又は複数回のバースト動作を制御可能である。前記キャッシュ制御部は、前記

5 単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてラップアラウンドでキャッシュメモリにキャッシュフィルする動作を制御可能である。

上記手段によれば、前記第1情報によってキャッシュライン長に対するアクセス対象メモリのバースト長が明らかになり、これに基いてアクセス対象メモリに呼応したバースト動作回数が制御され、キャッシュ

10 イン長に應ずるブロックデータを前記メモリからバースト動作で得ることができる。得られたブロックデータは、第1情報から把握されるバースト長に合わせて、キャッシュ制御部がキャッシュメモリにラップアラウンド動作により転送されてくるブロックデータをキャッシュフィル

15 ル可能にされる。そのためメモリから出力されるデータをアライナで並べ変えなくてもよく、また、バースト動作対象とされるデータブロックのバウンダリ先頭をアクセス開始アドレスに固定する制約を設けなくてもよい。したがって、キャッシュメモリのキャッシュライン長より短いサイズでバースト動作可能であってラップアラウンド機能を有する

20 メモリを用いるときでもキャッシュミスに係るデータを獲得するまでのCPUの待ち時間を短縮でき、データ処理性能の向上に寄与できる。

前記キャッシュ制御部は、前記キャッシュフィル動作において、キャッシュミスヒットに係るアドレス情報、前記第1情報、及び前記メモリ制御部によるバースト動作で得られるデータの区切りに同期する同期

25 信号を入力し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするラップアラウンド制御を行って、前記同期信号に同

期しながらキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するように構成してよい。

- 5 これにより、メモリ制御部がキャッシュミスヒットに応答してメモリからバースト動作でデータを順次読み出してくる動作に追従しながら、キャッシュフィル動作を進めることができ、メモリのバースト長に拘わらず高速なキャッシュフィル動作を保証することができる。

- 10 前記メモリ制御部は、キャッシュミスヒットに応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にラップアラウンドでバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御するように構成してよい。

- 15 プログラムやある種のデータは連続したアドレスに配置される場合が多いという事実に鑑みると、前述のように、バースト動作の複数回のアクセスのうち、最初のアクセス以外は、バースト長で規定されるバウンダリ先頭からメモリアクセスを行なえば、連続したデータアクセス時にCPUが先にアクセスすることになるデータを先にキャッシュメモリ又はCPUに到達させることになるから、データ処理性能の向上に役立つ。

- 20 以上のデータ処理装置によれば、キャッシュメモリのキャッシュライン長（例えば32バイト）よりも比較的短いバースト長（例えば16バイト）をメモリに設定しておく、バーストアクセス動作を行うメモリからラップアラウンドに出力されるブロックデータを複数個結合してキャッシュメモリにキャッシュフィルすることができる。また、キャッシュメモリのキャッシュライトヒットに対する処理の一つとしてライトスルーを採用しているとき、書込みデータをキャッシュライン長より
- 25

も短い(例えば8バイト)ライトスルーバッファから前記メモリに書込むような場合には、前記比較的短いバースト長故にデータ転送サイクルの無駄が少ない。この時のバーストアクセス動作の後半の8バイトはデータマスクを行って実際のデータ書込み動作を抑止すればよい。

- 5 したがって、32バイトのような大容量のデータをキャッシュメモリ等に効率良く転送できる性能を損なわずに、8バイトのような比較的小さなデータの転送には無駄なサイクルを最小限に抑えることができ、データ処理性能を向上させることができる。

- 10 〔2〕データ処理システムは、CPU及びキャッシュメモリを有するデータ処理装置と、前記データ処理装置に接続され、バースト動作可能であって前記キャッシュメモリに対し主メモリを構成するメモリとを有する。前記メモリは単数であっても複数であっても良い。夫々のバースト長は相違しても、同一であってもよい。前記キャッシュメモリはLバイトのキャッシュライン長を有する。前記メモリは、前記Lの2のn乗分の1(nは自然数)バイトのバースト長の範囲でラップアラウンドで
15 バースト動作が可能である。このとき、前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒットに応答して、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基づいて前記キャッシュライン長
20 に見合うデータ長を得るのに必要な単数又は複数回前記メモリをバースト動作させ、これによって得られる複数のブロック転送データを結合してキャッシュメモリへLバイトのデータを返す制御を行なうものである。

- 25 上記データ処理システムによれば、キャッシュメモリのキャッシュライン長(例えば32バイト)よりも比較的短いバースト長(例えば16バイト)を第1のメモリに設定しておくこと、バーストアクセス動作を行

うメモリからラップアラウンドに出力されるブロックデータを複数個結合してキャッシュメモリにキャッシュフィルすることができる。キャッシュライン長に等しいバースト長を設定した第2のメモリがデータ処理システムに含まれている場合、その第2のメモリを対象とするキャッシュミスヒットに対する処理では、当該第2のメモリのバースト長に応じたキャッシュフィル動作が可能にされる。

また、キャッシュメモリのキャッシュライトヒットに対する処理としてライトスルーを採用しているとき、書込みデータをキャッシュライン長よりも短い（例えば8バイト）ライトスルーバッファから前記第1のメモリに書込むような場合には、前記比較的短いバースト長故にデータ転送サイクルに無駄が少ない。この時のバーストアクセス動作の後半の8バイトはデータマスクを行って実際のデータ書込み動作を抑止すればよい。キャッシュライン長に等しいバースト長が設定される前記第2のメモリがライトスルーによる書込み対象になる場合は、書込みマスクを行っても第1のメモリに比べると無駄なサイクルは増える。そうであっても、第2のメモリを一時的にキャッシュの対象から外した状態では一度にアクセス若しくは転送できるデータ量を大きくすることが可能である。

したがって、32バイトのような大容量のデータをキャッシュメモリ等に効率良く転送できる性能を損なわずに、8バイトのような比較的小さなデータの転送には無駄なサイクルを極力抑えることができ、バースト長の異なるメモリを複数個有するようなメモリの多様な接続構成若しくは利用形態が実現され、データ処理システムにおけるデータ処理性能を向上させることができる。

前記データ処理システムにおいても、前記データ処理装置は、前記単数又は複数回のバースト動作で得られたデータを、前記第1情報に基づ

いて、ラップアラウンド動作で転送されてくるデータをキャッシュメモリにキャッシュフィルする制御を行うように構成してよい。この時も、前記データ処理装置は、前記キャッシュフィル動作において、前記バースト動作で前記メモリから得られるデータの区切りに同期する同期信号を生成し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするラップアラウンド制御を行って、前記同期信号に同期しながらキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するように構成してよい。更に、前記データ処理装置は、キャッシュミスヒットに
5 応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にラップアラウンドでバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御するように構成してよい。

15 図面の簡単な説明

第1図は本発明に係るデータ処理システムの一例を示すブロック図である。

第2図はブロック転送長判定部の詳細な一例を示すブロック図である。

20 第3図は外部メモリアドレス生成回路の一例を示すブロック図である。

第4図は後続アクセスアドレスの生成論理のアドレス生成規則を例示する説明図である。

第5図は32バイトのバースト長を設定したシンクロナスDRAM
25 に対するバースト動作を例示するタイミングチャートである。

第6図は16バイトのバースト長を設定したシンクロナスDRAM

に対するバースト動作を例示するタイミングチャートである。

第 7 図はキャッシュ制御部におけるキャッシュアクセスアドレス及びメモリアクセスアドレス生成のための論理構成の一例を示すブロック図である。

- 5 第 8 図はキャッシュフィルアドレス生成回路のアドレス生成論理を例示する説明図である。

第 9 図は第 1 図のマイクロプロセッサによるキャッシュフィル動作を比較例も含めて示したタイミングチャートである。

- 10 第 10 図は本発明に係るデータ処理システムの別の例を示すブロック図である。

発明を実施するための最良の形態

- 15 第 1 図に本発明に係るデータ処理システムの一例が示される。同図に示されるデータ処理システムは、本発明に係るデータ処理装置の一例であるマイクロプロセッサ 1、バースト動作可能な外部メモリの一例であるシンクロナス D R A M 2、及び R O M (リード・オンリ・メモリ) 14 を代表的に備えている。前記シンクロナス D R A M 2 及び R O M 14 の他に別の周辺回路を備えてもよい。

- 20 マイクロプロセッサ 1 は、特に制限されないが、C P U 3、キャッシュメモリ 4、キャッシュ制御部 5、及びメモリ制御部 6 を有し、例えば 1 個の半導体基板 (半導体チップ) に形成されている。データバス 8, 9, 10 は、特に制限されないが、4 バイト (32 ビット) とされる。

- 25 前記 C P U 3 は、図示を省略する制御部と実行部を有し、前記実行部は例えば汎用レジスタファイルと演算器を有し、前記制御部はフェッチした命令を解釈して前記実行部の演算などを制御する。

前記キャッシュメモリ 4 は、所謂データアレイを有している。データ

アレイは、例えばSRAM（スタティック・ランダム・アクセス・メモリ）によって構成され、マトリクス配置されたメモリセルを有し、メモリセルの選択端子は例えば行毎にワード線に接続され、メモリセルのデータ入出力端子は列毎に相補ビット線に接続されている。データアレイ

5 においてワード線はキャッシュ制御部5から与えられるインデックスアドレスによって選択される。データアレイにおいてインデックスアドレスで選択される行毎の単位がキャッシュラインである。キャッシュラインは、特に制限されないが、32バイトのキャッシュライン長を有する。選択されたキャッシュラインに対しては、キャッシュ制御部5から

10 与えられるロングワード選択信号によって4バイトの選択が行われる。前記インデックスアドレス及びロングワード選択信号はキャッシュアクセスアドレス信号7として図示されている。

キャッシュ制御部5は、所謂アドレスアレイとキャッシュ制御論理とを有する。アドレスアレイもデータアレイと同様にSRAMによって構成される。アドレスアレイには個々のキャッシュラインに1対1対応で

15 タグフィールドを有する。タグフィールドには対応キャッシュラインのタグやキャッシュラインの有効性を示すバリッドビット等を保有する。タグフィールドも前記インデックスアドレスで選択される。キャッシュ制御論理は、キャッシュヒット・キャッシュミスヒットの判定、キャッシュミスヒット時におけるキャッシュフィル制御、等を行う。

20

メモリ制御部6は、CPU3及びキャッシュ制御部5の指示に従ってシンクロナスDRAM2やROM14をアクセスするためのバス制御を行う。メモリ制御部6は外部データバス10及び外部アドレスバス13等を介して、前記代表的に示されたシンクロナスDRAM2等に接続

25 される。外部バスアクセス若しくは外部メモリアクセスのためのストローブ信号などの制御信号を伝達するコントロールバスは図示を省略し

てある。前記メモリ制御部 6 は所謂バスステートコントローラ、若しくはそれに含まれている一部のメモリコントローラとして把握してよい。

5 CPU 3 が出力する実効アドレス 1 1 の一部がインデックスアドレスとされ、前記アドレスアレイでインデックスされたタグフィールドのタグは、前記キャッシュ制御論理により、前記実効アドレス 1 1 の一部に含まれるタグアドレスと比較され、一致であれば、キャッシュヒット、不一致であればキャッシュミスヒットとされる。

10 CPU 3 のリードアクセスにおいて、キャッシュヒット（キャッシュリードヒット）であれば、インデックスされたキャッシュラインの対応する 4 バイトのデータがデータバス 8 を介して CPU 3 に供給される。リードアクセスにおいてキャッシュミスヒット（キャッシュリードミスヒット）のとき、キャッシュ制御部 5 は、メモリアクセスアドレス 1 2 を生成し、メモリ制御部 6 にメモリアクセスアドレス 1 2 と共にメモリアクセス要求 MREQ を与える。これによって、メモリ制御部 6 は、例
15 えばシンクロナス DRAM 2 より 1 キャッシュライン分のデータを読み込み、読み込んだデータを、データバス 9 を介してキャッシュメモリ 4 に供給し、これに同期してキャッシュ制御部 5 は、キャッシュアクセスアドレス 7 を生成して、そのデータを所要のキャッシュラインにキャッシュフィルする。また、キャッシュ制御部 5 は、当該キャッシュライン
20 に対応するタグフィールドにそのキャッシュラインのデータに必ずるタグを格納する。このとき、キャッシュミスに係るデータはデータバス 8 を介して CPU 3 に与えられる。

25 CPU 3 のライトアクセスにおいて、キャッシュヒット（キャッシュライトヒット）であれば、インデックスされたキャッシュラインの対応する 4 バイトに CPU 3 からデータバス 8 を介して書込みデータが供給される。ライトアクセスにおいてキャッシュミスヒット（キャッシュ

ライトミスヒット)であれば、キャッシュ制御部5は、メモリアクセスアドレス12を生成し、メモリ制御部6にメモリアクセス要求MREQを与える。メモリ制御部6は、メモリアクセスアドレス12に従って例えばシンクロナスDRAM2より1キャッシュライン分のデータを読み込み、読み込んだデータをデータバス9を介してキャッシュメモリ4に与え、これに同期してキャッシュ制御部5はキャッシュラインにそのデータをフィルし、当該キャッシュラインに対応するタグフィールドにはそのキャッシュラインのデータに応ずるタグを格納する。

キャッシュメモリ4が保有するデータとシンクロナスDRAM2のような外部メモリが格納するデータとの間の整合を保つ手法として、例えばライトスルー方式を採用する。即ち、キャッシュメモリ4は、キャッシュライトヒット時の書込みデータを保持する図示を省略するライトスルーバッファを有する。キャッシュライトヒット時、キャッシュ制御部5はキャッシュライトヒットに係るライトデータをキャッシュメモリ4に書込むと、その後、対応するシンクロナスDRAM2などの対応アドレスに書込む指示をメモリ制御部6に与える。これによって、メモリ制御部6は、ライトスルーバッファが保有するデータをシンクロナスDRAM2に書込み制御する。

前記シンクロナスDRAM2はダイナミック型メモリセルをマトリクス配置したメモリセルアレイを有し、情報記憶形式はDRAMと同様にストレージキャパシタを介してダイナミックに行われ、記憶情報のリフレッシュも必要とされる。DRAMとの大きな相違点は、動作が外部クロック信号に同期動作され、また、ラップアラウンドでバースト動作可能にされている点である。例えば、外部から供給されるカラムアドレス信号をラッチするカラムアドレスカウンタを有し、ロウアドレスによるワード線選択状態を保ったまま、カラムアドレスカウンタのプリセッ

ト値を基点に、順次カラムアドレスをカラムアドレスカウンタで更新して連続的なデータアクセス動作を能率的に行えるようになっている。連続データアクセス数をバースト長と称し、バースト長で規定される回数だけカラムアドレスカウンタをカウント動作する。例えば、アクセス単

5 位が4バイトでバースト長が16バイトのシンクロナスDRAMにおいて、バイト単位のカラムアドレスをカラムアドレスカウンタにプリセットし、このプリセットアドレスを基点に、その最下位から4ビット目までを順次3回カウンタ動作させて、連続的なアクセス動作を行えばよい。したがって、16バイトのカラムデータロケーションにおいて4バ

10 イット単位のアクセスの基点が前記ロケーションのバウンダリでない場合には、カラムアドレスカウンタによるカウンタアドレスは、途中で次の16バイトカラムデータロケーションとのバウンダリから前の16バイトカラムデータロケーションとのバウンダリに戻ってアドレスカウントを行う。即ち、バースト動作のアクセス順は16バイトカラムデータロケーション内でラップアラウンドに行われる。

15

前記バースト長はシンクロナスDRAM2のモードレジスタに設定される。例えばパワーオンリセット処理でCPU3からメモリ制御部6に設定されるメモリ制御データ15の一部がバースト長を示すデータとしてCPU3から前記モードレジスタにも初期設定される。バースト

20 長は、特に制限されないが、16、32バイトから選択して設定できる。

シンクロナスDRAM2の動作は、ロウアドレスストロープ(RAS)、カラムアドレスストロープ(CAS)、ライトイネーブル(WE)、データマスク(DM)、データストロープ(DQS)等の信号の状態によって指示される。前記信号はメモリ制御部6が生成する。前記信号の

25 特定の状態毎にコマンドが規定されていて、シンクロナスDRAM2は、コマンドの指示に従って動作を行う。例えば、ロウアドレス信号を伴う

アクティブコマンドによってワード線選択動作が指示される。コラムアドレス信号を伴うリードコマンドは、既にアクティブにされているワード線のメモリセルに対するリード動作を指示する。また、コラムアドレス信号を伴うライトコマンドは、既にアクティブにされているワード線のメモリセルに対するライト動作を指示する。前記リード動作及びライト動作は前記モードレジスタに設定されたバースト長により、ラップアラウンド可能なバーストアクセスで行われる。前記書込み動作において、前記データマスク (DM) 信号がイネーブルにされているアクセスサイクルにおいては、アクセスサイクルだけが費やされ、実際のデータ書込みは抑止される。

次に、シンクロナスDRAM2のバースト長に応じたメモリ制御及びキャッシュフィル動作について説明する。

先ず第1図に基いてその概要を説明する。前記メモリ制御部6には、ブロック転送長判定部20と外部メモリアドレス生成部30が代表的に示されている。ブロック転送長判定部20は、キャッシュミスヒットによるキャッシュ制御部5からのメモリアクセス要求REQに答えてシンクロナスDRAM2をアクセスするとき、前記キャッシュメモリ4のキャッシュライン長(32バイト)に対する前記シンクロナスDRAM2のバースト長を示すための第1情報であるラップアラウンド情報WRPAを形成する。外部メモリアドレス生成部30は、前記ラップアラウンド情報WRPAに基いて前記キャッシュライン長に見合うデータ長を得るのに必要な単数又は複数回のバースト動作を制御してシンクロナスDRAM2からデータをバーストリードする。バースト長が16バイトであればバーストアクセスを2回起動し、バースト長が32バイトであればバーストアクセスを1回起動すればよい。バーストリードの先頭はキャッシュミスに係るアドレスのデータである。前記キャッ

5 シュ制御部 5 は、バーストリードでメモリ制御部 6 がリードした 32 バイトのデータを 4 バイト毎にラップアラウンドでキャッシュメモリ 4 に書込むためのキャッシュフィルアドレスを生成する。この時の、ラップアラウンド動作のデータブロックはシンクロナス D R A M 2 のバースト長に対応させ、バースト長が 16 バイトであれば 16 バイトアドレス範囲毎にラップアラウンド動作させ、バースト長が 32 バイトであれば 32 バイトのアドレス範囲でラップアラウンド動作させる。ラップアラウンド動作のキャッシュフィルアドレスは前述のインデックスアドレス及びロングワード選択信号 7 であり、ロングワード選択信号は、バーストリードでメモリ制御部 6 がリードしてデータバス 9 に 4 バイト毎に出力するデータの区切りを示すデータレディー信号 D R D Y に同期される。

15 第 2 図にはブロック転送長判定部 5 の詳細な一例が示される。ブロック転送長判定部 20 は、アクセスリクエスト判定回路 22、メモリコントロールレジスタ 23、及びブロック転送長判定回路 24 を有する。前記メモリコントロールレジスタ 23 は、マイクロプロセッサ 1 の外部アドレスエリアに対するデータバス幅、アクセスサイクル数、バースト長などの外部メモリ情報 15 が C P U 3 によって初期設定される。C P U 3 によってシンクロナス D R A M 2 に設定されたバースト長を示すバースト長データも前記メモリコントロールレジスタ 23 に設定されている。

25 前記アクセスリクエスト判定回路 22 は、キャッシュ制御部 5 からのメモリアクセス要求 M R E Q とメモリアクセスアドレス 12 とを入力し、アクセス対象が前記シンクロナス D R A M 2 であるとき、検出信号 25 を活性化する。尚、前記アクセスリクエスト判定回路 22 は、メモリアクセス要求 M R E Q によってメモリアクセス要求を検出した後、メ

モリアクセスアドレス12をデコードし、アクセス対象エリアに応じてエリア選択をし、アクセスエリア選択信号（図示を省略する）を生成する。このエリア選択信号は例えば、メモリのチップ選択信号或いはメモリーネーブル信号などとして利用される。

- 5 ブロック転送長判定回路24は、前記検出信号25と、メモリコントロールレジスタ23に設定されたシンクロナスDRAM2のバースト長の情報26を入力して、ラップアラウンド情報WRPAを出力する。ここでは、シンクロナスDRAM2のバースト長は16バイト又は32
- 10 バイトであり、キャッシュメモリ4のキャッシュライン長は32バイトであるから、ラップアラウンド情報WRPAは、特に制限されないが、1ビットの情報であり、例えば、その論理値“0”はバースト長16
- バイトを意味し、論理値“1”はバースト長32バイトを意味する。

- 第3図には前記外部メモリアドレス生成回路30の一例が示される。外部メモリアドレス生成部30は、アドレスバッファ31、後続アクセス
- 15 アドレス生成回路31、及びセクタ32を有する。外部メモリアドレス生成部30は、キャッシュ制御部5からのメモリアクセスアドレス12を受けると、これをアドレスバッファ31に保持する。次に、アドレスバッファ31に保持したアドレスをセクタ33に選択させて外部メモリアドレス16として、アドレスバス13に出力させる。この時
- 20 の前記リクエスト判定回路22によるエリア選択がシンクロナスDRAM2であるなら、シンクロナスDRAM2がチップ選択され、また、メモリ制御部6内の図示を省略するシンクロナスDRAM制御論理を介してリード、ライト等のコマンドが供給される。これによってシンクロナスDRAM2がバースト動作される。ラップアラウンド情報WRPA
- 25 が論理値“1”であるなら、バースト動作は1回で終了される。ラップアラウンド情報WRPAが論理値“0”であるなら、シンクロナスD

R A M 2 を 2 回 バースト 動作 させる ために、後続 アクセス アドレス 生成 回路 3 2 は、後述 の アドレス 生成 論理 に従って、例えば、アドレス バッファ 3 1 の アドレス (バイト アドレス) に + 1 6 を 行い、次の バースト 動作 の 先頭 アドレス を 生成 する。後続 アクセス アドレス の 生成 論理 について 詳細 は 後述 する。2 回目 の バースト 動作 では、その 後続 アクセス アドレス 生成 回路 3 2 の 出力 が セレクタ 3 3 で 選択 されて シンクロ ナス D R A M 2 に 供給 される。

第 4 図 には 後続 アクセス アドレス の 生成 論理 の 規則 が 例示 されている。ここでは、キャッシュライン長が 3 2 バイト、シンクロ ナス D R A M の バースト 長 が 3 2 バイト 又は 1 6 バイト、データ バス 幅 を 4 バイト とする 場合 を 想定 し、N を 3 2 の 倍数 とし、アドレス N から 4 バイト の データ を D 1、アドレス N + 4 から 4 バイト の データ を D 2 という よう に 表現 する もの とする。

第 4 図 において 第 1 アクセス アドレス とは 第 1 回目 の バースト 動作 の 開始 アドレス、第 2 アクセス アドレス とは、バースト 長 が 1 6 バイト の とき に 必要 と なる 第 2 回目 の バースト 動作 の 開始 アドレス を 意味 する。第 2 回目 の アクセス アドレス は 第 1 回目 の アクセス アドレス に対して 一律 に 1 6 バイト を 加算 した 値 と は し ない。バースト 長 が 1 6 バイト の とき、第 1 アクセス アドレス が N + 4、N + 8、N + 1 2 の 場合 には 第 2 回目 の アクセス アドレス を N + 1 6 と する。したがって、第 2 回目 の バースト アクセス では データ 出力 は アドレス 順 に なる。プログラム や ある 種 の データ は 連続 した アドレス に 配置 される 場合 が 多い という 事実 に 鑑み る と、前述 の よう に、バースト 動作 の 複数 回 の アクセス の うち、最初 の アクセス 以外 は、バースト 長 で 規定 される バウンダリ の 先頭 から メモリ アクセス を 行 な え ば、連続 した データ アクセス 時 に C P U 3 が 先に アクセス すること になる データ が 先に キャッシュ メモリ 4 又は C P

U 3 に到達するから、データ処理性能の向上に役立つ。これに合わせて、第 1 アクセスアドレスが $N+20$ 、 $N+24$ 、 $N+28$ の場合も、第 2 回目のアクセスアドレスを $N+0$ としている。

第 5 図には 32 バイトのバースト長を設定したシンクロナス D R A M 2 に対するバースト動作のタイミングチャートが例示される。ここでは、外部メモリアドレス生成部 30 から与えられる転送開始アドレスが $N+8$ 、ラップアラウンド情報が 32 バイトを意味している。この場合には、当然シンクロナス D R A M は第 2 回目のバーストアクセスを必要としない。第 5 図においてリードコマンドの前に図示を省略するバンクアクティブコマンドが発行されていて、既にワード選択動作は完了されているものと理解されたい。第 5 図から明らかなように、D 3、D 4、D 5、D 6、D 7、D 8、D 1、D 2 の順にラップアラウンドで 32 バイトのバーストリードが行われる。

第 6 図には 16 バイトのバースト長を設定したシンクロナス D R A M 2 に対するバースト動作のタイミングチャートが例示される。ここでは、外部メモリアドレス生成部 30 から与えられる最初の転送開始アドレスが $N+8$ 、第 2 回目もバースト動作の転送開始アドレスが第 4 図に従った $N+16$ にされ、第 6 図において最初にリードコマンドの前には図示を省略するバンクアクティブコマンドが発行されていて、既にワード選択動作は完了されているものと理解されたい。第 4 図の論理より明らかなように、第 1 回目のバースト動作では D 3、D 4、D 1、D 2 の順にラップアラウンドでバーストリードされている。第 2 回目のバースト動作では、データブロックの先頭から D 5、D 6、D 7、D 8 の順にバーストリードが行われる。

第 7 図にはキャッシュ制御部 2 におけるキャッシュアクセスアドレス及びメモリアccessアドレス生成のための論理構成の一例が示され

る。キャッシュ制御部 5 は、アドレスバッファ 40、メモリアクセスアドレス生成回路 41、キャッシュフィルアドレス生成回路 42、及びセレクタ 43 を有する。キャッシュ制御部 5 は、CPU 3 からの実効アドレス 11 を受けると、これをアドレスバッファ 40 に保持する。次に、

5 アドレスバッファ 30 が保有するアドレスをセレクタ 43 で選択してキャッシュアクセスアドレス 7 としてキャッシュメモリ 4 に供給する。キャッシュアクセスアドレスに応答するキャッシュラインのキャッシュエントリがキャッシュミスヒットである場合、メモリアクセスアドレス生成回路 41 はこれに応答して、キャッシュミスヒットに係るメモリアクセスアドレス 12 を生成する。メモリアクセスアドレス 12 を用いたメモリ制御部 6 によるシンクロナス DRAM 2 のアクセス制御は前述の通りである。

前記キャッシュフィルアドレス生成回路 42 は、バーストリードでメモリ制御部 6 がシンクロナス DRAM 2 からリードした 32 バイトの

15 データを 4 バイト毎にラップアラウンドでキャッシュメモリ 4 に書込むためのキャッシュフィルアドレスを生成する。この時の、キャッシュフィルアドレス生成回路 42 はラップアラウンド動作のデータブロックをシンクロナス DRAM 2 のバースト長に対応可能なように、ラップアラウンド情報 WRPA を入力し、バースト長が 16 バイトであれば 1

20 6 バイトアドレス範囲毎でラップアラウンド動作させ、バースト長が 32 バイトであれば 32 バイトのアドレス範囲でラップアラウンド動作させる。ラップアラウンド動作のキャッシュフィルアドレスの先頭アドレスは、アドレスバッファ 40 に保持されているキャッシュミスに係るアドレスである。ラップアラウンド動作のキャッシュフィルアドレスは

25 前述のインデックスアドレス及びロングワード選択信号 7 である。バーストリードでメモリ制御部 6 はシンクロナス DRAM 2 からリードし

たデータをデータバス 9 に 4 バイト毎に出力するとき、そのデータの区切りを示すデータレディ信号 $DRDY$ を出力する。キャッシュフィル
アドレス生成回路 42 は、前記データレディ信号 $DRDY$ に同期して、
キャッシュフィルアドレスの前記先頭アドレスを順次 + 4 インクリメ
5 ントして行く。

第 8 図にはキャッシュフィルアドレス生成回路 42 のアドレス生成
論理が例示される。キャッシュフィルアドレスの先頭アドレスはキャッ
シュミスヒットに係る実効アドレスによって決るので、第 8 図ではキャ
ッシュミスヒットに係る実効アドレス毎に、バースト長 32 バイト、1
10 6 バイトの場合のキャッシュフィルアドレスとそれに対応するデータ
とを対で示してある。

第 8 図において、 N を 32 の倍数とし、アドレス N のデータを $D1$ 、
アドレス $N+4$ のデータを $D2$ 、アドレス $N+28$ のデータを $D8$ のよ
うに呼ぶものとする。このとき、例えば CPU 3 からの実効アドレスが、
15 $N+8$ であり、ラップアラウンド情報が 16 バイトを意味した場合、シ
ンクロナス DRAM 2 から返されるデータの順序は、 $D3$ 、 $D4$ 、 $D1$ 、
 $D2$ 、 $D5$ 、 $D6$ 、 $D7$ 、 $D8$ である。これをキャッシュの正しい位
置にフィルするために、キャッシュフィルアドレス生成回路 42 は、デ
ータの切り替わりと同期してメモリ制御部 6 より発行されるデータレ
20 ディ信号 $DRDY$ にしたがって、キャッシュフィルアドレスを、 $N+8$ 、
 $N+12$ 、 N 、 $N+4$ 、 $N+16$ 、 $N+20$ 、 $N+24$ 、 $N+28$ の
順とするように、キャッシュアクセスアドレス 7 を生成する。

第 9 図には以上説明したマイクロプロセッサ 1 によるキャッシュフ
ィル動作を比較例も含めて示してある。従来技術において、キャッシュ
ミスヒットに係るアドレスを $N+8$ とするとき、バースト長 32 バイト
25 のシンクロナス DRAM からバースト動作で読み出されるデータは第

9図の(A)に示されるように、@08、@12、@16、@20、@24、@28、@00、@04の順になる。バースト長16バイトのシンクロナスDRAMから2回のバースト動作で読み出されるデータは第9図の(B)に示されるように、@08、@12、@00、@04、
5 @24、@28、@16、@20の順になる。このようにシンクロナスDRAMから読み出されるデータ順はバースト長によって相違される。この不整合のままキャッシュフィルされないように、キャッシュフィルの前に32バイトバースト動作時のデータ順に統一するデータアライナを設ける従来技術では、第9図の(C)のように、データ並び替えに伴うペナルティサイクルが4サイクル発生し、バス性能が低下する。一
10 方、アクセス開始アドレスにバウンダリ固定の制約を付ける従来技術では、第9図の(D)に例示されるように、キャッシュミスヒットがアドレスN+8で生じたにもかかわらず、最初のデータはバウンダリ固定のアドレスN+0に固定されるため、CPUが最初に必要とするデータを
15 最初に供給できず、2サイクルのペナルティーを生じ、CPU性能を低下させてしまう。それらに対して前記マイクロプロセッサ1では、バーストリードデータをバッファリングして並べ替える処理を行わず、第9図の(E)のように、メモリ制御部がラップアラウンド情報に基づいて、バーストリードデータのバースト長に応じてキャッシュフィルアドレスを生成するから、第9図の(C)のようなペナルティーを生じない。
20 また、第9図の(E)より明らかなように、バーストアクセスの開始アドレスにバウンダリ固定の制約を設けないから、第9図の(D)のようなペナルティーも生じない。更に、第9図の(E)のように第2回目のバーストアクセス先頭アドレスを第4図の論理に従ってバウンダリ先
25 頭にするから、CPU3が連続データを要求する場合には、その要求に早く答えることが可能になる。

第9図を参照しながら更に具体的に作用を説明する。CPU 3がN+08番地からアクセスを開始してキャッシュミスによるメモリアクセスが発生し、CPU 3が続けて、N+12, N+16, N+20, N+24, N+28と連続したアドレスのデータを要求する場合に、第9図の(C)の手法では、シンクロナスDRAMからのデータ順は、@08, @12, @00, @04, @24, @28, @16, @20であり、CPUが第3番目に要求しているデータである@16がメモリから第7番目にしか到着せず、少なくとも4サイクルのペナルティーサイクルが発生する。これに対して、第9図の(E)の手法を用いれば、シンクロナスDRAM 2からのデータ順は、@08, @12, @00, @04, @16, @20, @24, @28であり、CPU 3が第3番目に要求しているデータ@16がシンクロナスDRAM 2から第5番目に到着することができ、ペナルティーサイクルを2サイクルに軽減することができ、CPU 3によるデータ処理性能の向上を実現できる。このような連続したアドレスへのアクセスは、命令アクセスの場合や連続したデータ処理等、極めて頻繁に発生するから、データ処理効率を向上させる上で、大きな効果を得ることができる。

また、キャッシュ制御部5が、このシンクロナスDRAM 2からのデータと併せてラップアラウンド情報WRPAを受けることで、バースト長で規定されるデータブロックのバウンダリ先頭以外からのアクセスも開始することが可能になり、CPUによるデータ処理性能を向上することができる。具体的には、第9図の(D)では、CPUが最初に必要なとするデータは@08であるにも拘わらず、メモリから返されるデータ順がメモリブロックの先頭を基点にする制限があるためにデータ@08からのメモリアクセスを行なうことができず、バースト転送開始アドレスがN+0になり、メモリから返されるデータ順は、@00, @04,

@08, @12, @16, @20, @24, @28である。この結果、データ@08は第3番目となり、CPUが先頭のデータ到着を少なくとも2サイクル待つことになり、CPUのデータ処理性能の低下を引き起こす。これに対して、第9図の(E)に代表される制御手法を用いれば、

5 バースト転送開始アドレスをN+8にすることができ、メモリからのデータ順は、@08, @12, @00, @04, @16, @20, @24, @28であり、CPU3が第1番目に要求しているデータ@08をシンクロナスDRAM2から第1番目に到着させることができ、CPU3のペナルティサイクルを2サイクルに軽減することができ、CPU

10 3のデータ処理性能の向上を実現できる。

更に第9図の(E)の処理は第8図のキャッシュフィルアドレス生成論理を適用しているから、同図に例示されるように、CPU3が第3番目に必要とするデータ@10を得るとき、第9図の(C)では4サイクル発生していたペナルティサイクルを、2サイクルに抑えることができ、この点においても、CPUによるデータ処理性能を向上させること

15 ができる。

以上説明したマクロプロセッサ1によって得られる作用効果を整理して説明する。

マイクロプロセッサ1において、メモリ制御部6は、前記ラップアラウンド情報WRPAによってキャッシュライン長に対するアクセス対象メモリ(シンクロナスDRAM)2のバースト長を把握し、これに基づいてアクセス対象メモリ2に呼応したバースト動作回数を制御して、キャッシュライン長に應ずるブロックデータを前記シンクロナスDRAM2からバースト動作で得ることができる。得られたブロックデータは、

20 ラップアラウンド情報WRPAから把握されるバースト長に合わせて

25 キャッシュ制御部5がキャッシュメモリ4にラップアラウンドでキャ

5 ッシュフィル可能にされるから、シンクロナスDRAM2から出力されるデータをアライナで並べ変えなくてもよく、また、バースト動作されるデータブロックのバウンダリ先頭をアクセス開始アドレスに固定する制約を設けなくてもよい。したがって、キャッシュメモリのキャッシュライン長より短いサイズでバースト動作可能であってラップアラウンド機能を有するメモリを用いるときでもキャッシュミスに係るデータを獲得するまでのCPUの待ち時間を短縮でき、データ処理性能の向上に寄与することができる。

10 また、前記キャッシュ制御部5は、メモリ制御部6がキャッシュミスヒットに応答してシンクロナスDRAM2からバースト動作でデータを順次読み出してくる動作に追従しながら、キャッシュフィル動作を進めることができるから、高速なキャッシュフィル動作を保証することができる。

15 プログラムやある種のデータは連続したアドレスに配置される場合が多いという事実に鑑みると、前述のように、バースト動作の複数回のアクセスのうち、最初のアクセス以外は、バースト長で規定されるバウンダリ先頭からメモリアccessを行なえば、連続したデータアクセス時にCPUが先にアクセスすることになるデータを先にキャッシュメモリ又はCPUに到達させることができるから、データ処理性能の向上に
20 役立つ。

第1図に例示されるデータ処理システムでは、前記マイクロプロセッサ1に一つのシンクロナスDRAM2を接続している。前記キャッシュメモリ4のキャッシュライン長(例えば32バイト)よりも比較的短いバースト長(例えば16バイト)をシンクロナスDRAM2に設定しておくと、バーストアクセス動作を行うシンクロナスDRAM2からラップアラウンドに出力されるブロックデータを複数個結合してキャッシュ

25

メモリ 4 にキャッシュフィルすることができる。また、キャッシュメモリ 4 のキャッシュライトヒットに対する処理の一つとしてライトスルーを採用しているとき、書込みデータをキャッシュライン長よりも短い（例えば 8 バイト）ライトスルーバッファから前記シンクロナス DRAM 2 に書込むような場合には、前記比較的短いバースト長故にデータ転送サイクルの無駄が少ない。この時のバーストアクセス動作の後半の 8 バイトに対しては、前記データマスク信号 DM によってデータマスクを行うことにより、実際のデータ書込み動作を抑止すればよい。

したがって、32 バイトのような大容量のデータをキャッシュメモリ 4 等に効率良く転送できる性能を損なわず、更に、ライトスルーバッファのデータ書き戻し動作のような比較的小さなデータの転送では無駄なサイクルを最小限に抑えることができ、データ処理性能を向上させることができる。

第 10 図にはデータ処理装置の別の例が示される。同図に示されるデータ処理システムは、バースト動作をラップアラウンドに行なうことができるメモリ、例えば 2 個のシンクロナス DRAM 2 A, 2 B を設けたものである。夫々のシンクロナス DRAM 2 A, 2 B は前記シンクロナス DRAM 2 と同様の構成を有し、一方のシンクロナス DRAM 2 A には 16 バイトのバースト長が設定され、他方のシンクロナス DRAM 2 B には 32 バイトのバースト長が設定されるようになっている。それぞれのシンクロナス DRAM 2 A, 2 B のバースト長は、パワーオンリセット後に、ソフトウェアにより個別に CPU 3 よりシンクロナス DRAM 2 A, 2 B のモードレジスタに設定される。このとき、メモリ制御部 6 内のメモリコントロールレジスタ 23 には、シンクロナス DRAM 2 A, 2 B 等の外部メモリのバースト長等のバス制御情報が設定される。その他の構成は第 1 図と同様であるので詳細な説明は省略する。

第10図の上記データ処理システムによれば、キャッシュメモリ4のキャッシュライン長(例えば32バイト)よりも比較的短いバースト長(例えば16バイト)をシンクロナスDRAM2Aに設定しておく、

5 シンクロナスDRAM2Aからラップアラウンドに出力されるブロックデータを複数個結合してキャッシュメモリ4にキャッシュフィルすることができる。キャッシュライン長に等しいバースト長を設定したシンクロナスDRAM2Bがデータ処理システムに含まれている場合、そのシンクロナスDRAM2Bを対象とするキャッシュミスヒットに対する処理では、当該シンクロナスDRAM2Bのバースト長に応じたキャッシュフィル動作も可能にされる。

10

また、キャッシュメモリ4のキャッシュライトヒットに対する処理としてライトスルーを採用しているとき、書込みデータをキャッシュライン長よりも短い(例えば8バイト)ライトスルーバッファから前記シンクロナスDRAM2Aに書込むような場合には、前記比較的短いバースト長故にデータ転送サイクルの無駄が少ない。この時のバーストアクセス動作の後半の12バイトは、前記データマスク信号DMによってデータマスクを行い、実際のデータ書込み動作を抑止すればよい。キャッシュライン長に等しいバースト長が設定される前記シンクロナスDRAM2Bがライトスルーによる書込み対象になる場合は、書込みマスクを行ってもシンクロナスDRAM2Aに比べると無駄なサイクルは増えるが、シンクロナスDRAM2Bを一時的にキャッシュの対象から外した状態では、シンクロナスDRAM2Bに対して一度にアクセス若しくは転送できるデータ量を大きくすることが可能になり、CPU3によるデータ処理性能の向上に寄与することができる。シンクロナスDRAM2Bを一時的にキャッシュの対象から外す制御は、マイクロプロセッサ

15

20

25

1の動作モード、或いはキャッシュ制御部5の図示を省略するキャッシ

制御レジスタに対するCPU 3による設定で行うことができる。

したがって、複数個のシンクロナスDRAMに異なるバースト長を設定した上記データ処理システムにおいては、32バイトのような大容量のデータをキャッシュメモリ等に効率良く転送できる性能を損なわずに、8バイトのような比較的小さなデータの転送には無駄なサイクルを極力抑えることができ、バースト長の異なるメモリを複数個有するようなメモリの多様な接続構成若しくは利用形態が実現される。

また、マイクロプロセッサ1で動作するプログラムの構成上、シンクロナスDRAM 2Bには、プログラムコード及びキャッシュライン長と同じかそれ以上のサイズを有するデータを保持するようにし、シンクロナスDRAM 2Aには、キャッシュライン長より小さなサイズを有するデータを保持するようにすることで、マイクロプロセッサ1の処理性能の向上を図ることも可能となる。

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、キャッシュメモリはプログラム格納用、或いはデータとプログラムを混在させて格納するものであってもよい。また、キャッシュメモリに、セットアソシアティブ、フルアソシアティブ或いはダイレクトマップ等の連想記憶形式を採用することができる。また、キャッシュメモリには前記ライトスルー方式に代えてライトバック方式を採用してもよい。

また、データ処理装置は、浮動小数点演算ユニットなどその他の演算ユニット、ダイレクトメモリアクセスコントローラのようなその他のバススタモジュール、タイマやRAMなどその他の周辺回路を内蔵してもよい。バースト動作可能なメモリはシンクロナスDRAMに限定され

ず、シンクロナス S R A M などであってもよい。データ処理システムに含まれるバースト動作可能なメモリの数は適宜増やしてよい。

産業上の利用可能性

- 5 本発明は、バースト動作可能なメモリをアクセスすることができるデータ処理装置、そしてデータ処理システムに広く適用することができ、例えば、マイクロプロセッサ、マイクロコンピュータ、データプロセッサ、D S P などと称される種々の半導体集積回路化されたデータ処理装置等に適用することができる。

請 求 の 範 囲

1. キャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、及び前記キャッシュメモリのキャッシュミスヒットに応答してメモリアクセスが可能なメモリ制御部を有し、
- 5 前記メモリ制御部は、バースト動作可能なメモリをキャッシュミスヒットに応答してアクセスするとき、前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基づいて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回のバースト動作を制御可能であり、
- 10 前記キャッシュ制御部は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいて所定の順序でキャッシュメモリにキャッシュフィルする動作を制御可能であることを特徴とするデータ処理装置。
- 15 2. 前記キャッシュ制御部は、前記キャッシュフィル動作において、キャッシュミスヒットに係るアドレス情報、前記第1情報、及び前記メモリ制御部によるバースト動作で得られるデータの区切りに同期する同期信号を入力し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするキャッシュメモリへの書込み制御を行うために、前記同期信号に同期してキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第1項記載のデータ処理装置。
- 20 3. 前記メモリ制御部は、キャッシュミスヒットに応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御
- 25

するものであることを特徴とする請求の範囲第1項又は第2項記載のデータ処理装置。

4. CPU及びキャッシュメモリを有するデータ処理装置と、前記データ処理装置に接続され、バースト動作可能であって前記キャッシュメモリに対し主メモリを構成するメモリとを有するデータ処理システムであって、

前記キャッシュメモリはLバイトのキャッシュライン長を有し、

前記メモリは、前記Lの2のn乗分の1 (nは自然数)バイトのバースト長の範囲でバースト動作が可能であり、

- 10 前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒットに応答して、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基いて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回前記メモリをバースト動作させ、これによって得られる複数のブロック転送データを結合してキャッシュメモリへL
- 15 バイトのデータを返す制御を行なうものであることを特徴とするデータ処理システム。

5. CPU及びキャッシュメモリを有するデータ処理装置と、前記データ処理装置に接続され、バースト動作可能であって前記キャッシュメモリに対し主メモリを構成する複数のメモリとを有するデータ処理システムであって、

前記キャッシュメモリはLバイトのキャッシュライン長を有し、

前記複数のメモリは、前記Lの2のn乗分の1 (nは自然数)バイトのバースト長の範囲でバースト動作が可能であり、前記バースト長

- 20 は前記データ処理装置によってメモリ毎に設定可能にされ、

前記データ処理装置は、前記キャッシュメモリのキャッシュミスヒ

- ットに応答してアクセスする対象を、キャッシュミスヒットに係るデータが配置されたメモリとし、前記キャッシュメモリのキャッシュライン長に対する前記アクセス対象メモリのバースト長を示すための第1情報を形成し、前記第1情報に基づいて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回前記メモリをバースト動作させ、これによって得られる複数のブロック転送データを結合してキャッシュメモリへLバイトのデータを返す制御を行なうものであることを特徴とするデータ処理システム。
- 5
6. 前記データ処理装置は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてキャッシュメモリにキャッシュフィルする制御を行うものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理システム。
- 10
7. 前記データ処理装置は、前記キャッシュフィル動作において、前記バースト動作で前記メモリから得られるデータの区切りに同期する同期信号を生成し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするキャッシュメモリへの書込み制御を行うために、前記同期信号に同期してキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理装置。
- 15
8. 前記データ処理装置は、キャッシュミスヒットに回答して複数回のバースト動作でメモリアccessを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にバースト動作を制御し、その後続のバースト動作では前記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御するものであることを特徴とする請求の範囲第4項又は第5項記載のデータ処理装置。
- 20
- 25

9. CPU、前記CPUによってアクセス可能なキャッシュメモリ、前記キャッシュメモリを制御するキャッシュ制御部、前記キャッシュメモリのキャッシュミスヒットに応答してメモリアクセスが可能なメモリ制御部、及び前記メモリ制御部に接続されバースト動作可能なメモリを有し、

前記メモリ制御部は、前記メモリをキャッシュミスヒットに応答してアクセスするとき、前記キャッシュメモリのキャッシュライン長に対する前記メモリのバースト長を示すための第1情報を形成し、前記第1情報に基づいて前記キャッシュライン長に見合うデータ長を得るに必要な単数又は複数回のバースト動作を制御可能であり、

前記キャッシュ制御部は、前記単数又は複数回のバースト動作で得られたデータを前記第1情報に基づいてラップアラウンドでキャッシュメモリにキャッシュフィルする動作を制御可能であることを特徴とするデータ処理システム。

10. 前記キャッシュ制御部は、前記キャッシュフィル動作において、キャッシュミスヒットに係るアドレス情報、前記第1情報、及び前記メモリ制御部によるバースト動作で得られるデータの区切りに同期する同期信号を入力し、前記第1情報が意味するバースト長の範囲で前記アドレス情報を基点とするラップアラウンド制御を行って、前記同期信号に同期しながらキャッシュフィルのデータ順を決定するキャッシュフィルアドレスを生成するものであることを特徴とする請求の範囲第9項記載のデータ処理システム。

11. 前記メモリ制御部は、キャッシュミスヒットに応答して複数回のバースト動作でメモリアクセスを行うとき、先頭のバースト動作ではキャッシュミスヒットに係るアドレスのデータ位置を基点にラップアラウンドでバースト動作を制御し、その後続のバースト動作では前

記バースト長で規定されるデータブロックのバウンダリ先頭を基点にバースト動作を制御するものであることを特徴とする請求の範囲第9項又は第10項記載のデータ処理システム。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06371

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/02
G06F12/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/00-12/06
G06F12/08-12/12
G06F13/16-13/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5715476, A (Intel Corporation), 03 February, 1998 (03.02.98), Column 5, line 18 to Column 6, line 53; Column 8, lines 10 to 15; Figs. 1, 2, 3A, 3B, 3C & JP, 11-501751, A page 14, line 17 to page 17, line 9; page 19, lines 18 to 21; Figs. 1, 2, 3A, 3B, 3C	1-11
Y	US, 5394528, A (Mitsubishi Denki Kabushiki Kaisha), 28 February, 1995 (28.02.95), Column 3, line 35 to Column 4, line 36; Column 4, line 64 to Column 6, line 16; Figs. 6, 8, 9 & JP, 5-128054, A Column 5, line 21 to Column 6, line 31; Column 7, line 4 to Column 8, line 32; Figs. 6, 8, 9	1-11
Y	JP, 62-72041, A (NEC Corporation), 02 April, 1987 (02.04.87) (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to
"A" document defining the general state of the art which is not	understand the principle or theory underlying the invention
considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be
"E" earlier document but published on or after the international filing	considered novel or cannot be considered to involve an inventive
date	step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is	"Y" document of particular relevance; the claimed invention cannot be
cited to establish the publication date of another citation or other	considered to involve an inventive step when the document is
special reason (as specified)	combined with one or more other such documents, such
"O" document referring to an oral disclosure, use, exhibition or other	combination being obvious to a person skilled in the art
means	"&" document member of the same patent family
"P" document published prior to the international filing date but later	
than the priority date claimed	

Date of the actual completion of the international search 09 February, 2000 (09.02.00) Date of mailing of the international search report 29 February, 2000 (29.02.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G06F12/02
G06F12/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G06F12/00-12/06
G06F12/08-12/12
G06F13/16-13/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, 5715476, A (Intel Corporation), 3. 2月. 1998 (03. 02. 98), 第5欄第18行目-第6欄第53行目, 第8欄第10行目-第15行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図 & JP, 11-501751, A, 第14頁第17行目-第17頁第9行目, 第19頁第18行目-第21行目, 第1図, 第2図, 第3A図, 第3B図, 第3C図	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09. 02. 00

国際調査報告の発送日

29.02.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 仁

印

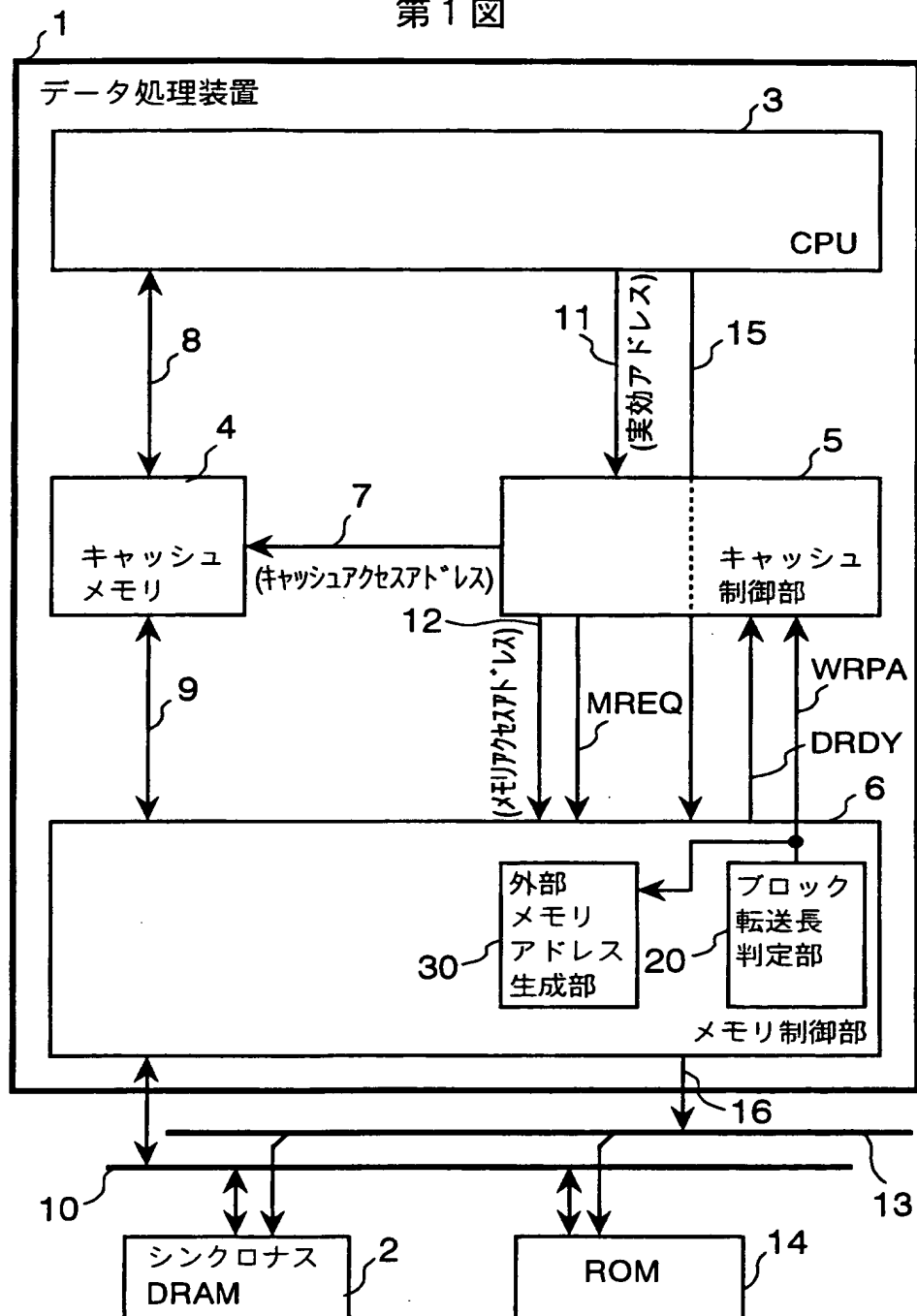
5N 9643

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	U S, 5 3 9 4 5 2 8, A (Mitsubishi Denki Kabushiki Kaisha), 2 8. 2 月. 1 9 9 5 (2 8. 0 2. 9 5), 第 3 欄 第 3 5 行 目 - 第 4 欄 第 3 6 行 目, 第 4 欄 第 6 4 行 目 - 第 6 欄 第 1 6 行 目, 第 6 図, 第 8 図, 第 9 図 & J P, 5 - 1 2 8 0 5 4, A, 第 5 欄 第 2 1 行 目 - 第 6 欄 第 3 1 行 目, 第 7 欄 第 4 行 目 - 第 8 欄 第 3 2 行 目, 第 6 図, 第 8 図, 第 9 図	1 - 1 1
Y	J P, 6 2 - 7 2 0 4 1, A (日本電気株式会社), 2. 4 月. 1 9 8 7 (0 2. 0 4. 8 7) (ファミリーなし)	1 - 1 1

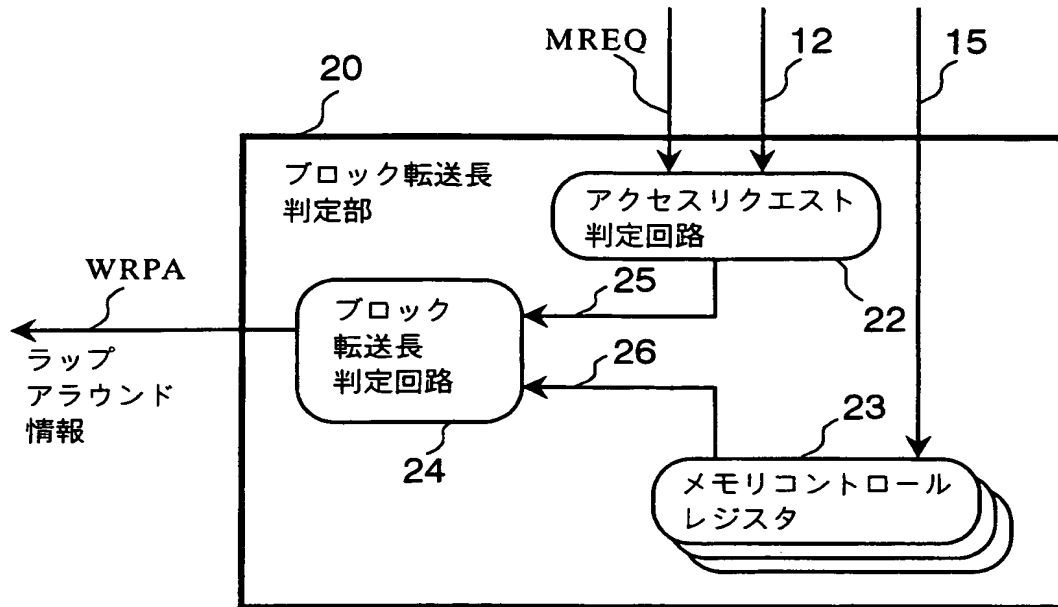
1 / 8

第1図

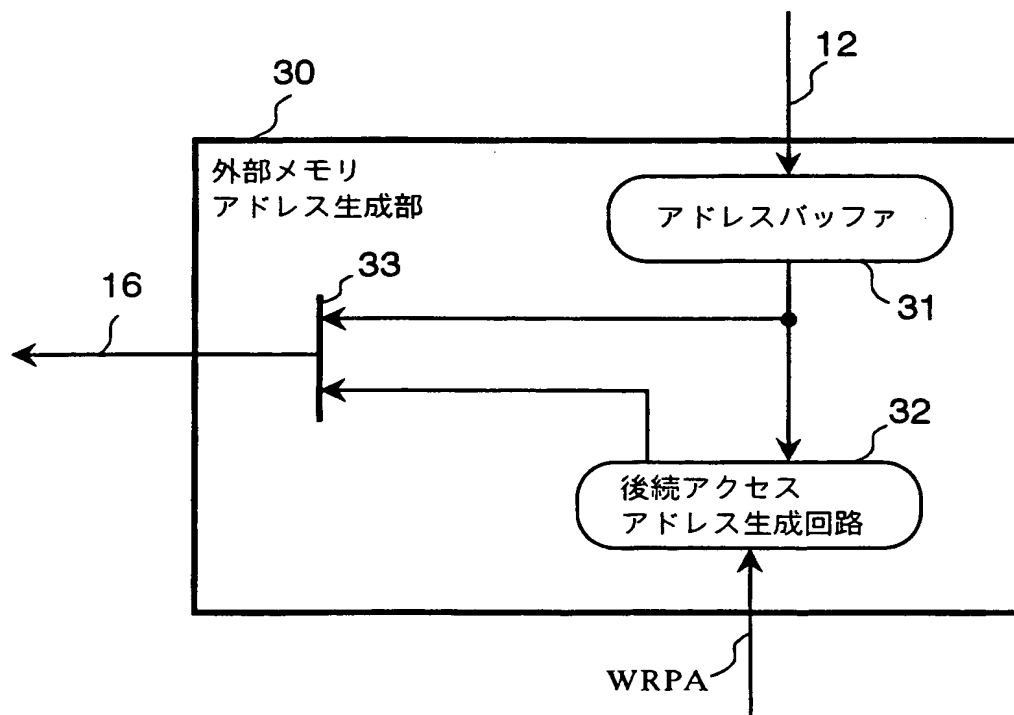


2 / 8

第2図



第3図



3 / 8

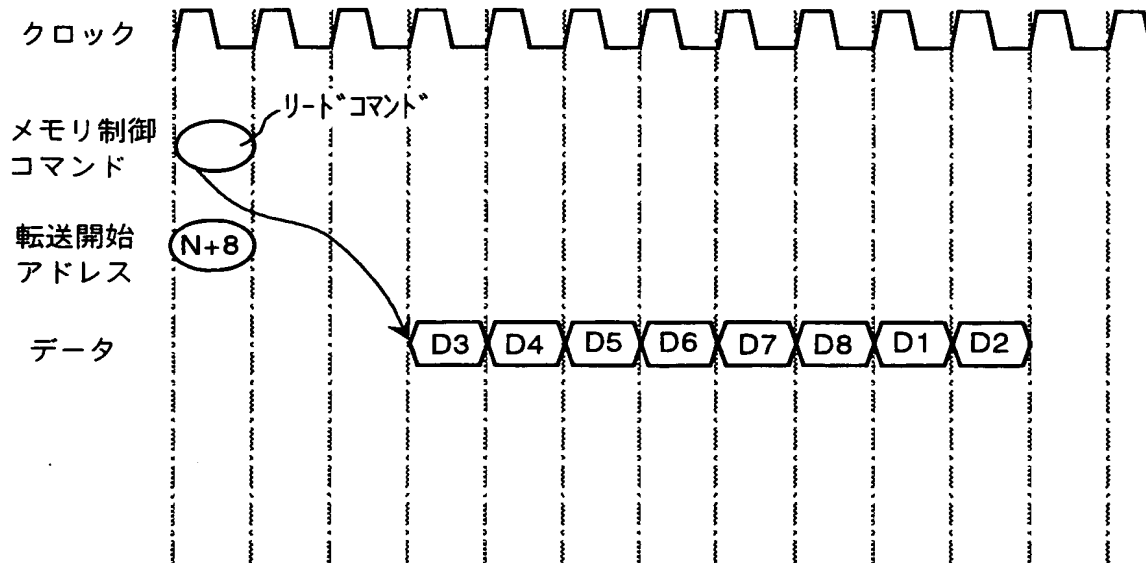
第4図

アドレス N	N	N+4	N+8	N+12	N+16	N+20	N+24	N+28
	D1	D2	D3	D4	D5	D6	D7	D8

第1アクセス アドレス	ラップ アラウンド 情報	第2アクセス アドレス
N+0	32バイト	なし
	16バイト	N+16
N+4 N+8 N+12	32バイト	なし
	16バイト	N+16
N+16	32バイト	なし
	16バイト	N+0
N+20 N+24 N+28	32バイト	なし
	16バイト	N+0

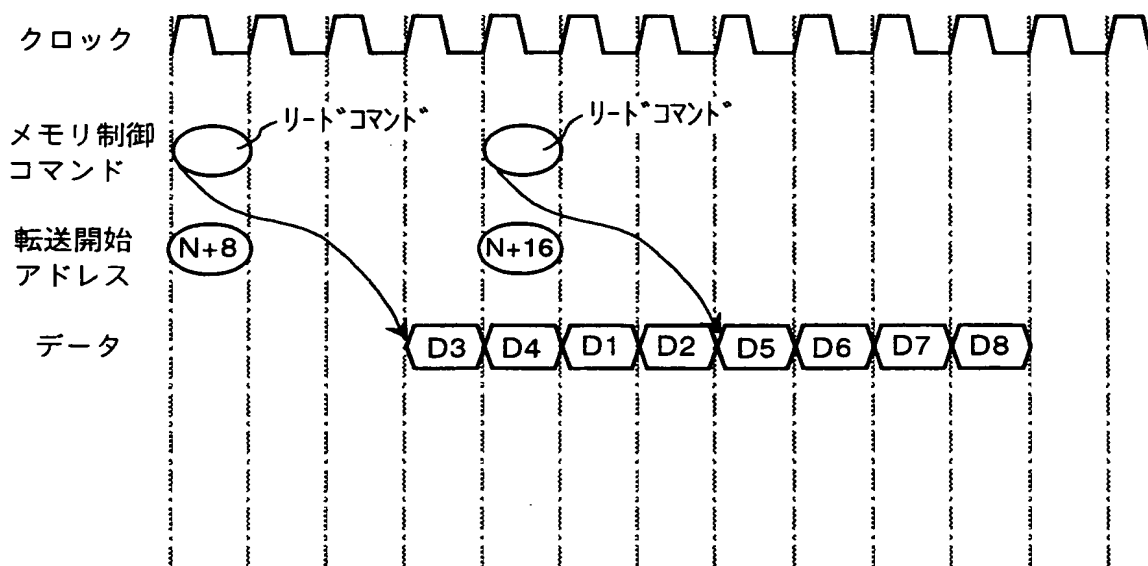
4 / 8

第5図



(アドレス N+8 からバースト転送, ラップアラウンド長=32バイト)

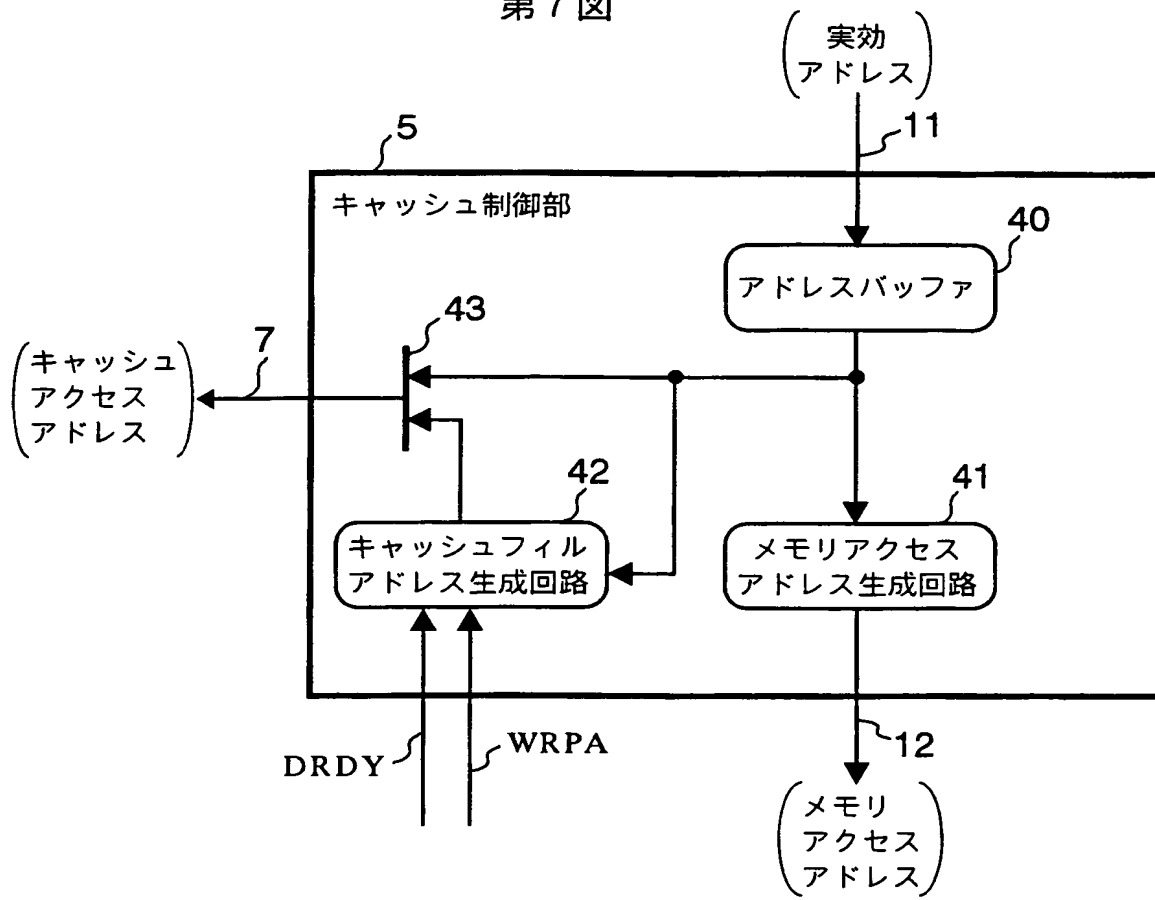
第6図



(アドレス N+8 からバースト転送, ラップアラウンド長=16バイト)

5 / 8

第7図



6 / 8

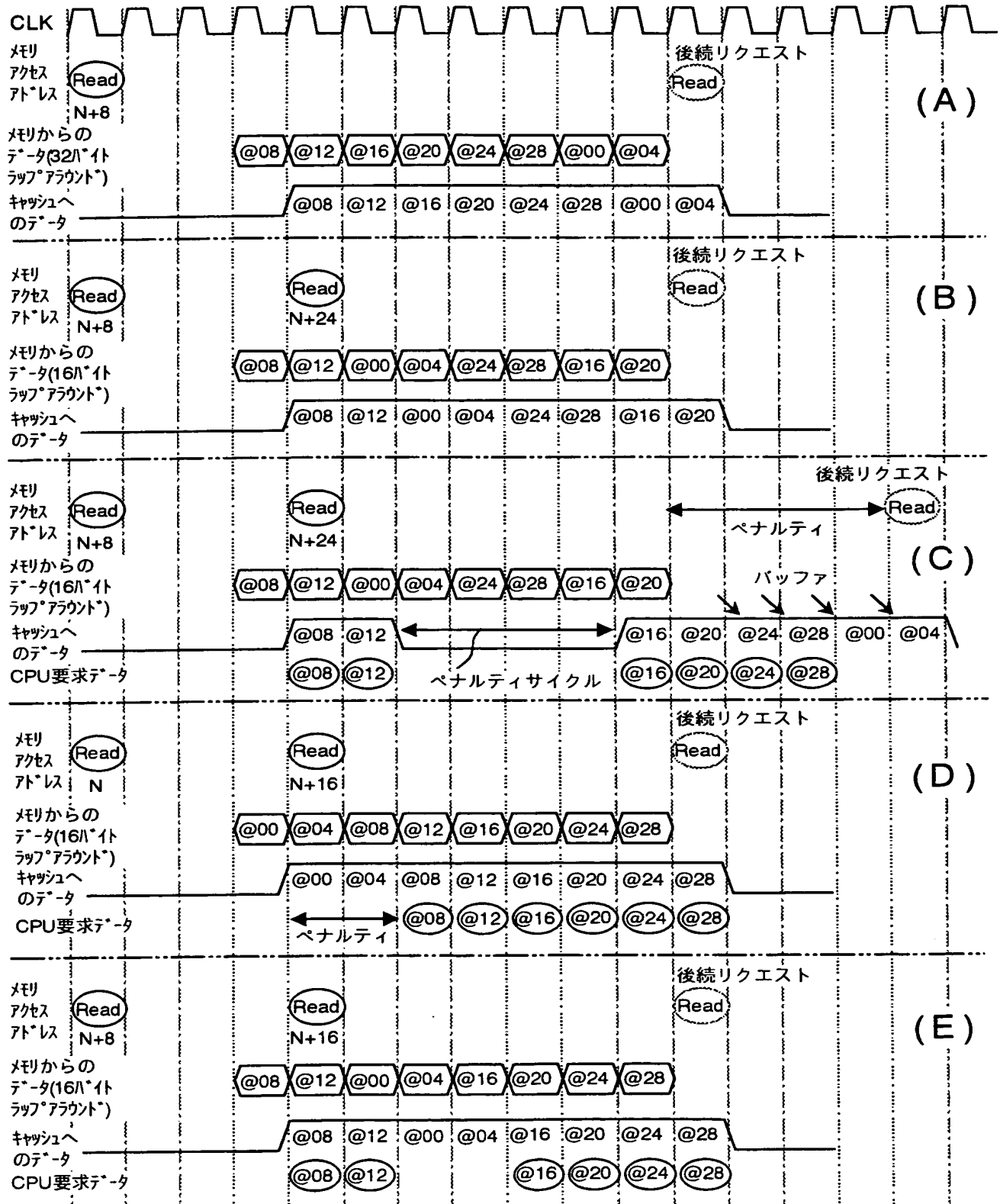
第8図

アドレス N	N	N+4	N+8	N+12	N+16	N+20	N+24	N+28
	D1	D2	D3	D4	D5	D6	D7	D8

実効アドレス	ラップ アラウンド 情報	キャッシュフィルアドレス（上段） 対応データ（下段）
N+0	32バイト	N+0->N+4->N+8->N+12->N+16->N+20->N+24->N+28 D1 ->D2 ->D3 ->D4 ->D5 ->D6 ->D7 ->D8
	16バイト	N+0->N+4->N+8->N+12->N+16->N+20->N+24->N+28 D1 ->D2 ->D3 ->D4 ->D5 ->D6 ->D7 ->D8
N+8	32バイト	N+8->N+12->N+16->N+20->N+24->N+28->N+0->N+4 D3 ->D4 ->D5 ->D6 ->D7 ->D8 ->D1 ->D2
	16バイト	N+8->N+12->N+0->N+4->N+16->N+20->N+24->N+28 D3 ->D4 ->D1 ->D2 ->D5 ->D6 ->D7 ->D8
N+16	32バイト	N+16->N+20->N+24->N+28->N+0->N+4->N+8->N+12 D5 ->D6 ->D7 ->D8 ->D1 ->D2 ->D3 ->D4
	16バイト	N+16->N+20->N+24->N+28->N+0->N+4->N+8->N+12 D5 ->D6 ->D7 ->D8 ->D1 ->D2 ->D3 ->D4
N+24	32バイト	N+24->N+28->N+0->N+4->N+8->N+12->N+16->N+20 D7 ->D8 ->D1 ->D2 ->D3 ->D4 ->D5 ->D6
	16バイト	N+24->N+28->N+16->N+20->N+0->N+4->N+8->N+12 D7 ->D8 ->D5 ->D6 ->D1 ->D2 ->D3 ->D4

7 / 8

第9図



8 / 8

第10図

